

1 产品简介

TMS320F28035PNT 是一款低功耗 32 位数字信号处理器，主时钟工作频率 60MHz，单周期指令执行时间 16.67ns。该电路集成了多种增强的控制型 外设接口，为 数字电源模块、变频器、逆变器等工业控制类应用提供了极具性价比的解决方案。

相比同档次进口 DSP 芯片，F28035 具有以下优势：

- 1) 功耗更低。平均功耗降低 20%左右；
- 2) 性能更强。同主频同电压下定点程序执行速度提升 5~15%，浮点程序执行速度提升 10~30%；
- 3) 安全性更高。消除了进口芯片存在的隐藏 Bug 和数据安全漏洞，加密技术更全面。



图1-1 F28035成品芯片外观（以LQFP80封装为例）

2 适用范围

除特别声明外，本文档内容适用于所有 F28035 产品。

3 产品特点

3.1 产品功能

F28035 数字信号控制器集成了 64K*16 的 Flash 存储器，8K*16 的引导 ROM，数字运算表以及 1K*16 的 OTPROM，数据及程序存储量大，有效地改善了应用的灵活性。128 位的密码保护机制有效地保护了产品的知识产权。16 通道高性能 12 位 ADC 模数转换单元提供了两个采样保持电路，可以实现双通道信号同步采样。具体指标如下：

- | | |
|--------------------------------|----------------------|
| 1) 高性能静态 CMOS 技术 | - 16*16 双 MAC |
| - 主频可达 60MHz（16.67ns 周期时
间） | - 哈佛（Harvard）总线结构 |
| - 内核电压 1.8V，I/O 引脚电压 3.3V | - 快速中断响应和处理 |
| 2) 高性能 32 位 CPU | - 统一存储器编程模式 |
| - 16*16 位和 32*32 位乘加（MAC） | - 可用 C++ 和汇编语言进行高效编程 |

- 3) 片内存储器
 - 64K*16 的 Flash 存储器
 - 10k*16 的 SARAM
 - 1K*16 的 OTP (一次性编程)
- 4) 启动 ROM (8K*16)
 - 软件引导模式程序
 - 标准的数学表
- 5) 时钟和系统控制
 - 片上振荡器
 - 看门狗定时器模块
- 6) 支持外设中断扩展模块 (PIE)
- 7) 128 位安全密码
 - 保护 Flash/OTP/RAM 存储器
 - 防止固件逆向工程
- 8) 增强的控制外设
 - 14 个脉宽调制 PWM 输出
 - 7 个支持 150ps 微边界定位 (MEP) 分辨率的高分辨率脉宽调制器 (HRPWM) 输出
 - 1 个事件捕捉输入 (CAP)
 - 1 个正交编码器通道 (QEP)
 - 2 个高精度事件捕捉输入 (HRCAP)
- 9) 3 个 32 位 CPU 定时器
- 10) 串行外设接口
 - 1 个增强型控制器局域网 (CAN) 接口
 - 1 个 SCI (UART) 接口
 - 2 个 SPI 接口
 - 1 个 I2C 总线接口
 - 1 个 LIN 接口
- 11) 12 位 A/D 转换器具有 16 个转换通道
 - 2*8 通道的多路输入选择器
 - 2 个采样保持器
- 单次/连续转换
- 内部或外部参考电压
- 12) 可达 45 个独立可复用通用输入/输出 (GPIO) 引脚
- 13) 支持 IEEE 1149.1-1990 标准的 JTAG 边界扫描
- 14) 先进的仿真功能
 - 分析和断点功能
 - 硬件实时调试
- 15) 开发支持包括
 - ANSI C/C++ 编译/汇编/链接器
 - CCS 集成开发环境
 - DSP/BIOS
 - 数字电机控制和数字电源软件库
- 16) 低功耗模式和节电模式
 - 支持 IDLE (空闲)、STANDBY (待机) 及 HALT (停止) 模式
 - 可独立禁止外设时钟
- 17) 小头 (Little Endianness) 模式
- 18) 封装形式
 - 80 引线塑料四方扁平封装 (LQFP80)
 - 64 引线塑料四方扁平封装 (LQFP64)
 - 56 引线超薄四方扁平封装 (VQFN56)
- 19) 温度范围
 - A: -40°C ~ +85°C
 - S: -40°C ~ +125°C
 - Q: -40°C ~ +125°C (通过针对汽车应用的 AEC-Q100 认证)

3.2 主要应用领域

- AC 逆变驱动
- 伺服控制
- 充电桩
- UPS 电源
- 数字电源
- 光伏逆变器

目 录

1 产品简介	1
2 适用范围	1
3 产品特点	1
3.1 产品功能.....	1
3.2 主要应用领域.....	2
4 产品外形尺寸	6
4.1 LQFP80 (产品型号 F28035PNT)	6
4.2 LQFP64 (产品型号 F28035PAG)	6
4.3 VQFN56 (产品型号 F28035RSH)	7
5 引出端排列方式	8
5.1 LQFP80 (产品型号 F28035PNT)	8
5.1.1 引出端排列.....	8
5.1.2 引出端描述.....	8
5.2 LQFP64 (产品型号 F28035PAG)	10
5.2.1 引出端排列.....	10
5.2.2 引出端描述.....	10
5.3 VQFN56 (产品型号 F28035RSH)	11
5.3.1 引出端排列.....	11
5.3.2 引出端描述.....	12
6 性能指标	13
6.1 电特性.....	13
6.2 频率/周期.....	14
6.3 输入输出时钟特性.....	15
6.4 上电启动.....	16
6.5 GPIO	17
6.5.1 输出时序.....	17
6.5.2 输入时序.....	18
6.5.3 输入采样窗口宽度.....	18
6.6 低功耗模式唤醒时序.....	19
6.6.1 进入/退出 IDLE 模式.....	19
6.6.2 进入/退出 STANDBY 模式.....	20
6.6.3 进入/退出 HALT 模式.....	21
6.7 ePWM	22
6.8 eCAP	23
6.9 HRCAP	24
6.10 eQEP	24
6.11 ADC.....	25

6.11.1 ADC 上电控制时序.....	25
6.11.2 定义说明.....	26
6.11.3 顺序采样模式(单通道)(SMODE = 0).....	26
6.11.4 并发采样模式(双通道)(SMODE = 1).....	28
6.11.5 术语说明.....	30
6.12 外部中断.....	31
6.13 I2C.....	31
6.14 SPI.....	31
6.14.1 主模式时序.....	32
6.14.2 从模式时序.....	36
6.15 Flash.....	38
7 主要特性曲线图（电特性测试图）.....	38
8 典型应用方法.....	39
8.1 供电过程.....	39
8.2 晶振的连接方法.....	39
8.3 JTAG 连接.....	39
8.4 ADC 连接.....	40
9 使用注意事项.....	41
9.1 安装注意事项.....	41
9.2 产品工作条件.....	42
9.2.1 电压.....	42
9.2.2 电流.....	42
9.2.3 时序.....	42
9.2.4 Flash.....	42
9.2.5 温度.....	42
9.2.6 注意事项.....	42
10 订货信息.....	43
10.1 型号对照表.....	43
10.2 订货周期.....	43



半导体集成电路型数字信号处理器

TMS320F28035PNT

功能:	类型 (m)	F28030 (60MHz)			F28031 (60MHz)			F28032 (60MHz)			F28033 (60MHz)			F28034 (60MHz)			F28035 (60MHz)			
		80 引脚 Nd LQFP	64 引脚 PAG TQFP	56 引脚 RSH VQFN	80 引脚 PN LQFP	64 引脚 PAG TQFP	56 引脚 RSH VQFN	80 引脚 Nd LQFP	64 引脚 PAG TQFP	56 引脚 RSH VQFN	80 引脚 PN LQFP	64 引脚 PAG TQFP	56 引脚 RSH VQFN	80 引脚 PN LQFP	64 引脚 PAG TQFP	56 引脚 RSH VQFN	80 引脚 Nd LQFP	64 引脚 PAG TQFP	56 引脚 RSH VQFN	
指令周期	-	16.67ns			16.67ns			16.67ns			16.67ns			16.67ns			16.67ns			
控制律加速器	0	否			否			不支持			支持			不支持			支持			
片载闪存 (16 位字)	-	16K			32K			32K			32K			64K			64K			
片载 SARAM (16 位字)	-	6K			8K			10K			10K			10K			10K			
片载闪存 / SARAM / OTP 块的代码安全	-	支持			支持			支持			支持			支持			支持			
引导 ROM (8Kx16)	-	支持			支持			支持			支持			支持			支持			
一次性可编程 (OTP) ROM (16 位字)	-	1K			1K			1K			1K			1K			1K			
ePWM 输出	1	14	12	8	14	12	8	14	12	8	14	12	8	14	12	8	14	12	8	
eCAP 输入	0	1			1			1			1			1			1			
eQEP 模块	0	1			1			1			1			1			1			
安全装置定时器	-	支持			支持			支持			支持			支持			- 支持			
12 位 ADC	每秒百万次采样 (MSPS)	2.0			2.0			4.6			4.6			4.6			4.6			
	转换时间	500.00ns			500.00ns			216.67ns			216.67ns			216.67ns			216.67ns			
	通道	3	16	14	13	16	14	13	16	14	13	16	14	13	16	14	13	16	14	13
	温度传感器	支持			支持			支持			支持			支持			支持			
	双采样保持	支持			支持			支持			支持			支持			支持			
32 位 CPU 定时器	-	3			3			3			3			3			3			
高分辨率 ePWM 通道	1	-			-			7	6	4	7	6	4	7	6	4	7	6	4	
高分辨率捕获 (HRCAP) 模块	0	-			-			2	2	-	2	2	-	2	2	-	2	2	-	
带有集成数模转换器 (DAC) 的比较器	0	3			3			3			3			3			3			
内部集成电路 (I2C)	0	1			1			1			1			1			1			
增强型控制器局域网 (eCAN)	0	1			1			1			1			1			1			
本地互连网络 (LIN)	0	1			1			1			1			1			1			
串行外设接口 (SPI)	1	2	1	1	2	1	1	2	1	1	2	1	1	2	1	1	2	1	1	
串行通信接口 (SCI)	0	1			1			1			1			1			1			
I/O 引脚 (共)	GPIO	45	33	26	45	33	26	45	33	26	45	33	26	45	33	26	45	33	26	
	AIO	6			6			6			6			6			6			
外部中断	-	3			3			3			3			3			3			
电源电压 (标称值)	-	3.3V			3.3V			3.3V			3.3V			3.3V			3.3V			
温度选项	1: -40°C 至 100°C	支持			支持			支持			支持			支持			支持			
	S: -40°C 至 125°C	支持			支持			支持			支持			支持			支持			
	Q: -40°C 至 125°C (1	支持			不支持			支持			不支持			支持			不支持			
产品状态 (2)	-	TMS	TMS	TMX	TMS	TMS	TMX	TMS	TMS	TMX	TMS	TMS	TMX	TMS	TMS	TMX	TMS	TMS	TMX	

4 产品外形尺寸

F28035 处理器具有 LQFP80、LQFP64、VQFN56 三种塑封形式。

4.1 LQFP80 (产品型号 F28035PNT)

本产品器件外形按 GB/T15138-1994 规定,为 80 引线塑料四面引线扁平封装(LQFP),外形尺寸见下图。

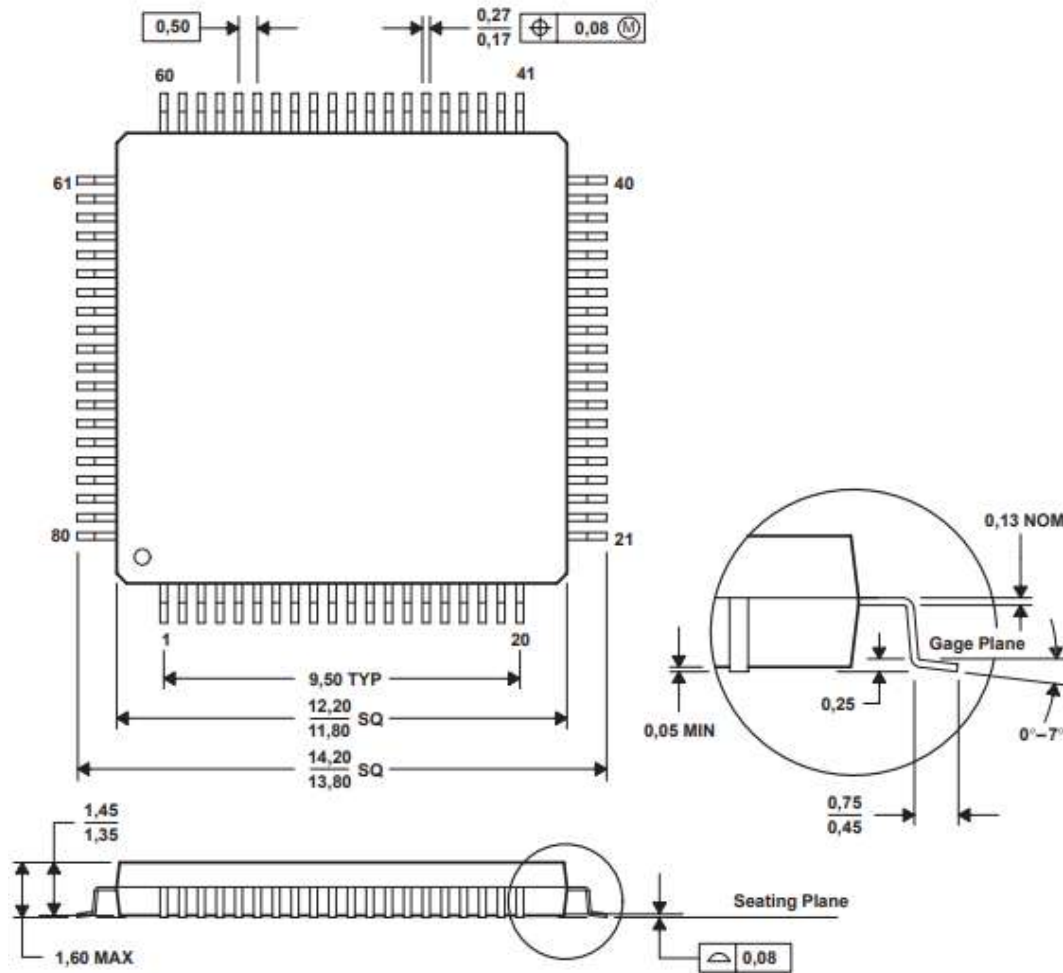


图4-1 LQFP80 外形尺寸图

4.2 LQFP64 (产品型号 F28035PAG)

本产品器件外形按 GB/T15138-1994 规定,为 64 引线塑料四面引线扁平封装(LQFP),外形尺寸见下图。

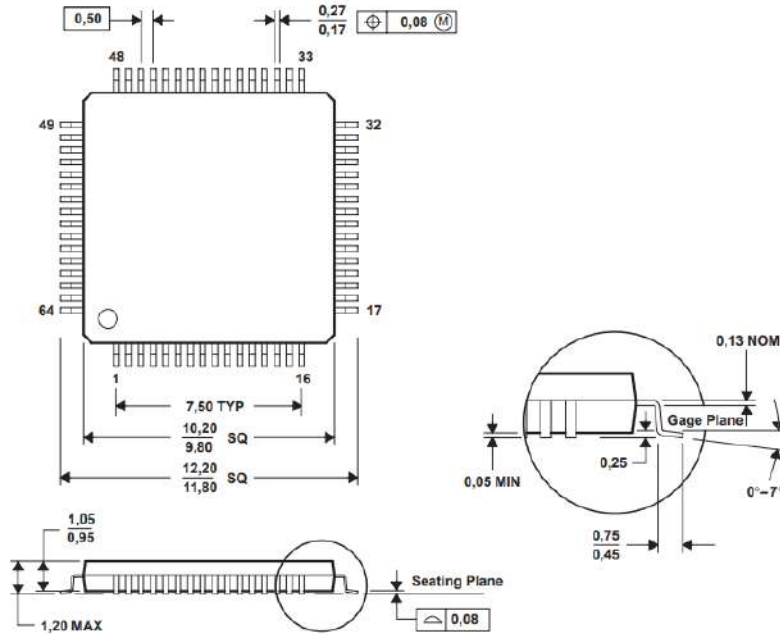


图 4-2 LQFP64 外形尺寸图

4.3 VQFN56 (产品型号 F28035RSH)

本产品器件外形按 GB/T15138-1994 规定，为 56 引线超薄四面扁平封装（VQFN，外形尺寸见下图。

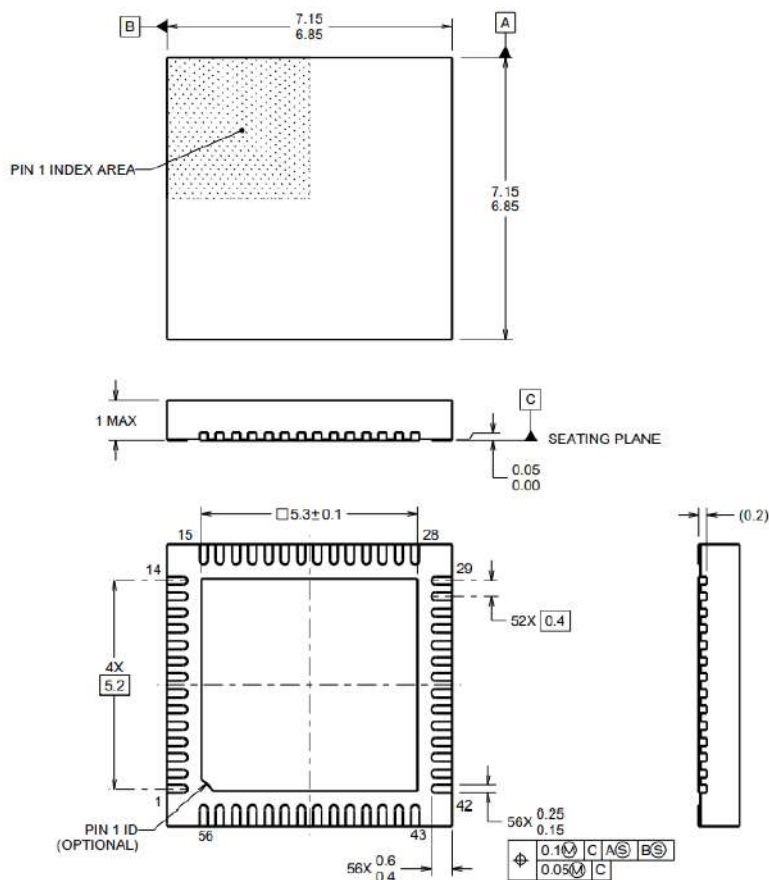


图 4-3 VQFN56 外形尺寸图

5 引出端排列方式

5.1 LQFP80（产品型号 F28035PNT）

5.1.1 引出端排列

LQFP80 引出端排列应按下图的规定。

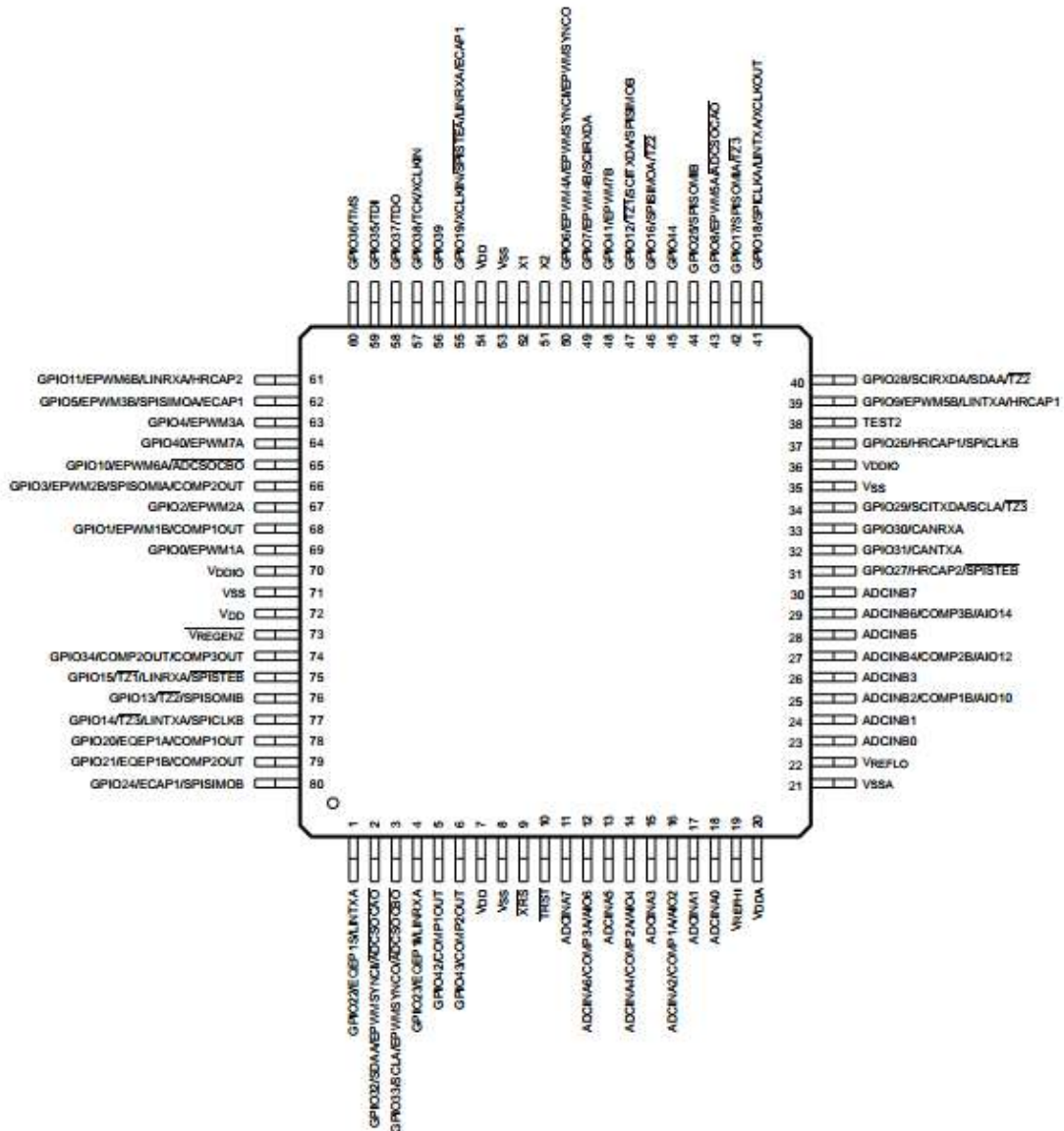


图5-1 LQFP80 引出端排列

5.1.2 引出端描述

表 5-1 LQFP80引出端描述

序号	符号	类型	功能	序号	符号	类型	功能
1	GPIO22	I/O/Z	通用IO端口	41	GPIO18	I/O/Z	通用IO端口
2	GPIO32	I/O/Z	通用IO端口	42	GPIO17	I/O/Z	通用IO端口
3	GPIO33	I/O/Z	通用IO端口	43	GPIO8	I/O/Z	通用IO端口
4	GPIO23	I/O/Z	通用IO端口	44	GPIO25	I/O/Z	通用IO端口
5	GPIO42	I/O/Z	通用IO端口	45	GPIO44	I/O/Z	通用IO端口
6	GPIO43	I/O/Z	通用IO端口	46	GPIO16	I/O/Z	通用IO端口
7	VDD	-	数字内核电源	47	GPIO12	I/O/Z	通用IO端口
8	VSS	-	数字地	48	GPIO41	I/O/Z	通用IO端口
9	$\overline{\text{XRS}}$	I/OD	复位（开漏）	49	GPIO7	I/O/Z	通用IO端口
10	$\overline{\text{TRST}}$	I	JTAG测试复位	50	GPIO6	I/O/Z	通用IO端口
11	ADCINA7	I	ADC模拟通道输入	51	X2	O	片上晶振输出
12	ADCINA6	I	ADC模拟通道输入	52	X1	I	片上晶振输入
13	ADCINA5	I	ADC模拟通道输入	53	VSS	-	数字地
14	ADCINA4	I	ADC模拟通道输入	54	VDD	-	数字内核电源
15	ADCINA3	I	ADC模拟通道输入	55	GPIO19	I/O/Z	通用IO端口
16	ADCINA2	I	ADC模拟通道输入	56	GPIO39	I/O/Z	通用IO端口
17	ADCINA1	I	ADC模拟通道输入	57	GPIO38	I/O/Z	通用IO端口
18	ADCINA0	I	ADC模拟通道输入	58	GPIO37	I/O/Z	通用IO端口
19	VREFHI	I	ADC外部基准高电压	59	GPIO35	I/O/Z	通用IO端口
20	VDDA	-	模拟电源	60	GPIO36	I/O/Z	通用IO端口
21	VSSA	-	模拟地	61	GPIO11	I/O/Z	通用IO端口
22	VREFLO	I	ADC外部基准低电压	62	GPIO5	I/O/Z	通用IO端口
23	ADCINB0	I	ADC模拟通道输入	63	GPIO4	I/O/Z	通用IO端口
24	ADCINB1	I	ADC模拟通道输入	64	GPIO40	I/O/Z	通用IO端口
25	ADCINB2	I	ADC模拟通道输入	65	GPIO10	I/O/Z	通用IO端口
26	ADCINB3	I	ADC模拟通道输入	66	GPIO3	I/O/Z	通用IO端口
27	ADCINB4	I	ADC模拟通道输入	67	GPIO2	I/O/Z	通用IO端口
28	ADCINB5	I	ADC模拟通道输入	68	GPIO1	I/O/Z	通用IO端口
29	ADCINB6	I	ADC模拟通道输入	69	GPIO0	I/O/Z	通用IO端口
30	ADCINB7	I	ADC模拟通道输入	70	VDDIO	-	数字IO电源
31	GPIO27	I/O/Z	通用IO端口	71	VSS	-	数字地
32	GPIO31	I/O/Z	通用IO端口	72	VDD	-	数字内核电源
33	GPIO30	I/O/Z	通用IO端口	73	#VREGENZ	I	VREG使能（内部下拉）
34	GPIO29	I/O/Z	通用IO端口	74	GPIO34	I/O/Z	通用IO端口
35	VSS	-	数字地	75	GPIO15	I/O/Z	通用IO端口
36	VDDIO	-	数字IO电源	76	GPIO13	I/O/Z	通用IO端口
37	GPIO26	I/O/Z	通用IO端口	77	GPIO14	I/O/Z	通用IO端口
38	TEST2	I/O	测试管脚（悬空）	78	GPIO20	I/O/Z	通用IO端口
39	GPIO9	I/O/Z	通用IO端口	79	GPIO21	I/O/Z	通用IO端口
40	GPIO28	I/O/Z	通用IO端口	80	GPIO24	I/O/Z	通用IO端口

5.2 LQFP64 (产品型号 F28035PAG)

5.2.1 引出端排列

LQFP64 引出端排列应按下图的规定。

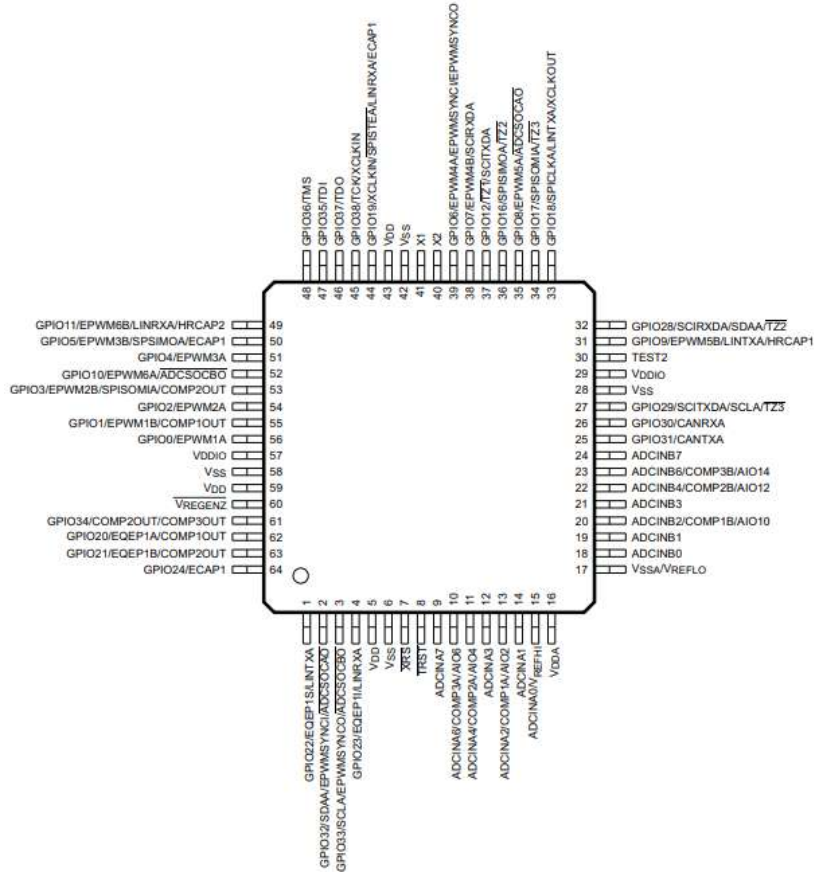


图5-2 LQFP64 引出端排列

5.2.2 引出端描述

表 5-2 LQFP64引出端描述

序号	符号	类型	功能	序号	符号	类型	功能
1	GPIO22	I/O/Z	通用IO端口	33	GPIO18	I/O/Z	通用IO端口
2	GPIO32	I/O/Z	通用IO端口	34	GPIO17	I/O/Z	通用IO端口
3	GPIO33	I/O/Z	通用IO端口	35	GPIO8	I/O/Z	通用IO端口
4	GPIO23	I/O/Z	通用IO端口	36	GPIO16	I/O/Z	通用IO端口
5	VDD	-	数字内核电源	37	GPIO12	I/O/Z	通用IO端口
6	VSS	-	数字地	38	GPIO7	I/O/Z	通用IO端口
7	$\overline{\text{XRS}}$	I/OD	复位 (开漏)	39	GPIO6	I/O/Z	通用IO端口
8	$\overline{\text{TRST}}$	I	JTAG测试复位	40	X2	O	片上晶振输出
9	ADCINA7	I	ADC模拟通道输入	41	X1	I	片上晶振输入
10	ADCINA6	I	ADC模拟通道输入	42	VSS	-	数字地
11	ADCINA4	I	ADC模拟通道输入	43	VDD	-	数字内核电源
12	ADCINA3	I	ADC模拟通道输入	44	GPIO19	I/O/Z	通用IO端口
13	ADCINA2	I	ADC模拟通道输入	45	GPIO38	I/O/Z	通用IO端口

14	ADCINA1	I	ADC模拟通道输入	46	GPIO37	I/O/Z	通用IO端口
15	ADCINA0	I	ADC模拟通道输入	47	GPIO35	I/O/Z	通用IO端口
16	VDDA	-	模拟电源	48	GPIO36	I/O/Z	通用IO端口
17	VSSA	-	模拟地	49	GPIO11	I/O/Z	通用IO端口
18	ADCINB0	I	ADC模拟通道输入	50	GPIO5	I/O/Z	通用IO端口
19	ADCINB1	I	ADC模拟通道输入	51	GPIO4	I/O/Z	通用IO端口
20	ADCINB2	I	ADC模拟通道输入	52	GPIO10	I/O/Z	通用IO端口
21	ADCINB3	I	ADC模拟通道输入	53	GPIO3	I/O/Z	通用IO端口
22	ADCINB4	I	ADC模拟通道输入	54	GPIO2	I/O/Z	通用IO端口
23	ADCINB6	I	ADC模拟通道输入	55	GPIO1	I/O/Z	通用IO端口
24	ADCINB7	I	ADC模拟通道输入	56	GPIO0	I/O/Z	通用IO端口
25	GPIO31	I/O/Z	通用IO端口	57	VDDIO	-	数字IO电源
26	GPIO30	I/O/Z	通用IO端口	58	VSS	-	数字地
27	GPIO29	I/O/Z	通用IO端口	59	VDD	-	数字内核电源
28	VSS	-	数字地	60	#VREGENZ	I	VREG使能（内部下拉）
29	VDDIO	-	数字IO电源	61	GPIO34	I/O/Z	通用IO端口
30	TEST2	I/O	测试管脚（悬空）	62	GPIO20	I/O/Z	通用IO端口
31	GPIO9	I/O/Z	通用IO端口	63	GPIO21	I/O/Z	通用IO端口
32	GPIO28	I/O/Z	通用IO端口	64	GPIO24	I/O/Z	通用IO端口

5.3 VQFN56（产品型号 F28035RSH）

5.3.1 引出端排列

VQFN56 引出端排列应按下图的规定。

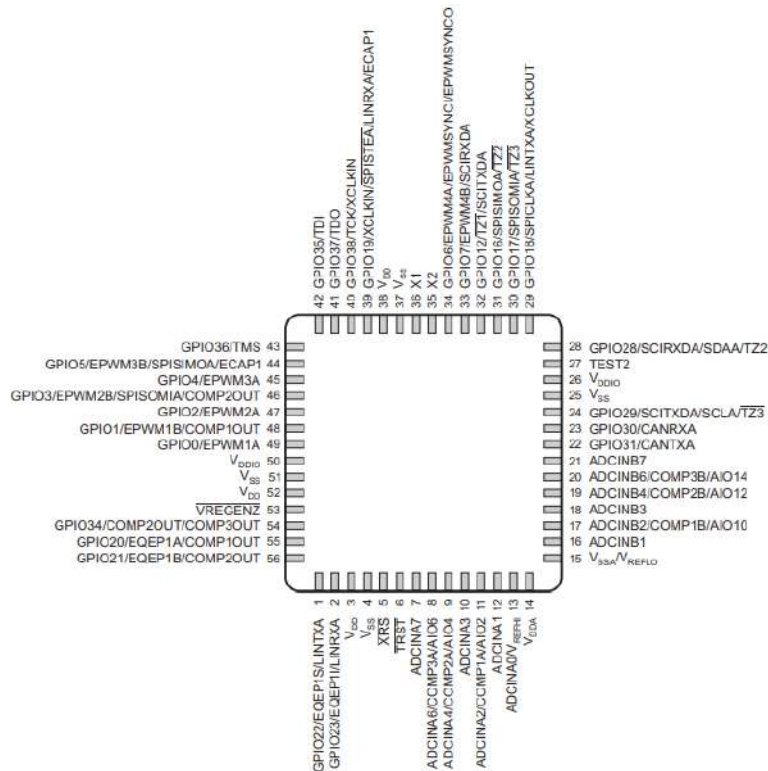


图5-3 VQFN56 引出端排列

5.3.2 引出端描述

表 5-3 VQFN引出端描述

序号	符号	类型	功能	序号	符号	类型	功能
1	GPIO22	I/O/Z	通用IO端口	29	GPIO18	I/O/Z	通用IO端口
2	GPIO23	I/O/Z	通用IO端口	30	GPIO17	I/O/Z	通用IO端口
3	VDD	-	数字内核电源	31	GPIO16	I/O/Z	通用IO端口
4	VSS	-	数字地	32	GPIO12	I/O/Z	通用IO端口
5	$\overline{\text{XRS}}$	I/OD	复位（开漏）	33	GPIO7	I/O/Z	通用IO端口
6	$\overline{\text{TRST}}$	I	JTAG测试复位	34	GPIO6	I/O/Z	通用IO端口
7	ADCINA7	I	ADC模拟通道输入	35	X2	O	片上晶振输出
8	ADCINA6	I	ADC模拟通道输入	36	X1	I	片上晶振输入
9	ADCINA4	I	ADC模拟通道输入	37	VSS	-	数字地
10	ADCINA3	I	ADC模拟通道输入	38	VDD	-	数字内核电源
11	ADCINA2	I	ADC模拟通道输入	39	GPIO19	I/O/Z	通用IO端口
12	ADCINA1	I	ADC模拟通道输入	40	GPIO38	I/O/Z	通用IO端口
13	ADCINA0	I	ADC模拟通道输入	41	GPIO37	I/O/Z	通用IO端口
14	VDDA	-	模拟电源	42	GPIO35	I/O/Z	通用IO端口
15	VSSA	-	模拟地	43	GPIO36	I/O/Z	通用IO端口
16	ADCINB1	I	ADC模拟通道输入	44	GPIO5	I/O/Z	通用IO端口
17	ADCINB2	I	ADC模拟通道输入	45	GPIO4	I/O/Z	通用IO端口
18	ADCINB3	I	ADC模拟通道输入	46	GPIO3	I/O/Z	通用IO端口
19	ADCINB4	I	ADC模拟通道输入	47	GPIO2	I/O/Z	通用IO端口
20	ADCINB6	I	ADC模拟通道输入	48	GPIO1	I/O/Z	通用IO端口
21	ADCINB7	I	ADC模拟通道输入	49	GPIO0	I/O/Z	通用IO端口
22	GPIO31	I/O/Z	通用IO端口	50	VDDIO	-	数字IO电源
23	GPIO30	I/O/Z	通用IO端口	51	VSS	-	数字地
24	GPIO29	I/O/Z	通用IO端口	52	VDD	-	数字内核电源
25	VSS	-	数字地	53	#VREGENZ	I	VREG使能（内部下拉）
26	VDDIO	-	数字IO电源	54	GPIO34	I/O/Z	通用IO端口
27	TEST2	I/O	测试管脚（悬空）	55	GPIO20	I/O/Z	通用IO端口
28	GPIO28	I/O/Z	通用IO端口	56	GPIO21	I/O/Z	通用IO端口

6 性能指标

6.1 电特性

除另有规定，电特性应符合下表规定，并适用于全温度范围。

表 6-1电特性

特性	符号	测试条件 ^c 除另有规定，-55°C≤T _A ≤125°C， V _{DDA} ，V _{DDIO} =3.3V V _{DD} =1.8V	极限值		单位	
			最小	最大		
输出低电平电压	V _{OL}	I _{OL} =I _{OL} MAX	—	0.4	V	
输出高电平电压	V _{OH}	I _{OH} =I _{OH} MAX	2.4	—	V	
		I _{OH} =50μA	V _{DDIO} -0.2	—		
输入低电平漏电流 ^a	I _{IL}	上拉，V _{DDIO} =3.3V，V _{IN} =0V，所有IOs（除XRS）	-80	-205	μA	
		上拉，V _{DDIO} =3.3V，V _{IN} =0V，XRS	-230	-375		
		下拉，V _{DDIO} =3.3V，V _{IN} =0V	-2	2		
输入高电平漏电流 ^a	I _{IH}	上拉，V _{DDIO} =3.3V，V _{IN} =V _{DDIO}	-2	2	μA	
		下拉，V _{DDIO} =3.3V，V _{IN} =V _{DDIO}	28	80		
输出高阻时引脚电流 ^a	I _{OZ}	V _{DDIO} =3.465V，V _O =V _{DDIO} 或0V	-2	2	μA	
输入电容 ^b	C _I	T _A =25°C	—	典型值2	pF	
工作电流	I _{DDIO}	VREG使能， V _{DDA} V _{DDIO} =3.63V V _{DD} =1.995V； V _{SSA} V _{SS} =0V； 工作模式和IDLE模式时 f _{SYSCLKOUT} =60MHz； STANDBY模式和HALT ^e 模式时 f _{SYSCLKOUT} =0Hz。	工作模式	—	135	mA
			IDLE模式	—	23	mA
			STANDBY模式	—	9	mA
			HALT模式	典型值46		μA
	I _{DD}	VREG关闭， V _{DDA} V _{DDIO} =3.463V V _{DD} =1.995V； V _{SSA} V _{SS} =0V； 工作模式和IDLE模式时 f _{SYSCLKOUT} =60MHz； STANDBY模式和HALT ^e 模式时 f _{SYSCLKOUT} =0Hz。	工作模式	—	18	mA
			IDLE模式	—	15	μA
			STANDBY模式	—	15	μA
			HALT模式	—	15	μA
	I _{DDIO}	VREG关闭， V _{DDA} V _{DDIO} =3.463V V _{DD} =1.995V； V _{SSA} V _{SS} =0V； 工作模式和IDLE模式时 f _{SYSCLKOUT} =60MHz； STANDBY模式和HALT ^e 模式时 f _{SYSCLKOUT} =0Hz。	工作模式	—	120	mA
			IDLE模式	—	24	mA
			STANDBY模式	—	7	mA
			HALT模式	30		μA
	I _{DDA}	VREG关闭， V _{DDA} V _{DDIO} =3.463V V _{DD} =1.995V； V _{SSA} V _{SS} =0V； 工作模式和IDLE模式时 f _{SYSCLKOUT} =60MHz； STANDBY模式和HALT ^e 模式时 f _{SYSCLKOUT} =0Hz。	工作模式	—	18	mA
			IDLE模式	—	400	μA
			STANDBY模式	—	400	μA
			HALT模式	24		μA
I _{DDA}	VREG关闭， V _{DDA} V _{DDIO} =3.463V V _{DD} =1.995V； V _{SSA} V _{SS} =0V； 工作模式和IDLE模式时 f _{SYSCLKOUT} =60MHz； STANDBY模式和HALT ^e 模式时 f _{SYSCLKOUT} =0Hz。	工作模式	—	18	mA	
		IDLE模式	—	15	μA	
		STANDBY模式	—	15	μA	
		HALT模式	—	15	μA	

功能测试	$V_{DDA}, V_{DDIO}=2.97V\sim 3.63V;$ $V_{DD}=1.71V\sim 1.89V;$ $V_{SSA}, V_{SS}=0V$		
注电压均以 V_{SS} 为基准, $V_{SS}=0V$ 。电流以流入器件引出端为正。			
<p>^a仅包含数字IO端口, 但不适用于GPIO32 (SDAA) GPIO33 (SCLA) 配置为I2C模式。</p> <p>^bA4分组样品大小 (接收数) 指器件引线数, 至少3只器件, 仅在初始鉴定、设计或工艺更改时进行。</p> <p>^c测试条件: (1) 工作模式: ePWM1~7、eCAP1、eQEP1、eCAN、LIN、CLA、HRPWM、SCI-A (FIFO模式) SPI-A/B (FIFO模式) ADC、I2C、COMP1/2/3、CPU-Timer0/1/2等外设时钟使能; 所有PWM引脚翻转频率为60kHz; 所有I/O引脚悬空;(2) IDLE模式: Flash掉电; XCLKOUT关闭; 外设时钟使能; (3) STANDBY模式: Flash掉电; 所有外设时钟关闭; (4) HALT模式: Flash掉电; 所有外设时钟关闭; 禁止输入时钟输入。</p> <p>^dI_{DD}包含Flash的电流; I_{DDIO}电流依赖于I/O引脚的负载。</p> <p>^e 如果一个石英晶振或者陶瓷谐振器被用作时钟源, HALT模式将关闭内部振荡器。</p>			

6.2 频率/周期

表 6-2 频率/周期

特性	符号	测试条件 除另有规定, $-55^{\circ}C\leq T_A\leq 125^{\circ}C,$ $V_{DDA2}, V_{DDAIO}, V_{DDIO},$ $V_{DD3VFL}=3.3V$ $V_{DD1A18}, V_{DD2A18}, V_{DD}=1.8V$	极限值		单位
			最小	最大	
时钟					
片载振荡器时钟	$t_{C(OSC)}$	时钟周期	50	200	ns
		时钟频率	5	20	MHz
输入时钟XCLKIN	$t_{C(CI)}$	时钟周期	33.3	200	ns
		时钟频率	5	30	MHz
		时钟周期PLL关闭	33.3	250	ns
		时钟频率PLL关闭	4	30	MHz
系统时钟SYSCLKOUT	$t_{C(SCO)}$	时钟周期	16.67	500	ns
		时钟频率	1	5	MHz
输出时钟XCLKOUT	$t_{C(XCO)}$	时钟周期	66.6 7	2000	ns
		时钟频率	0.5	15	MHz
高速外设时钟HSPCLK	$t_{C(HCO)}$	时钟周期	16.67	—	ns
		时钟频率	—	60	MHz
低速外设时钟LSPCLK	$t_{C(LCO)}$	时钟周期	16.67	—	ns
		时钟频率	—	60	MHz
模数转换模块ADC时钟	$t_{C(ADCCLK)}$	时钟周期	16.6 7	—	ns
		时钟频率	—	60	MHz
注电压均以 V_{SS} 为基准, $V_{SS}=0V$ 。电流以流入器件引出端为正。					

6.3 输入输出时钟特性

特性	符号	条 件 除另有规定, $-55^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$, $V_{DDA2}, V_{DDAIO}, V_{DDIO}, V_{DD3VFL}=3.3\text{V}$ $V_{DD1A18}, V_{DD2A18}, V_{DD}=1.8\text{V}$		极限值		单位
		最小	最大	最小	最大	
输入时钟频率						
输入时钟频率	f_X	外部振荡器/时钟源 (XCLKIN)	5	20	MHz	
输入时钟频率			2	60	MHz	
Limp模式SYSCLKOUT频率	f_I	/2启用时	1	5	MHz	
XCLKIN时序-PLL启用						
XCLKIN下降沿时间	$t_{r(CI)}$	见图6-1的C9	—	6	ns	
XCLKIN上升沿时间	$t_{r(CI)}$	见图6-1的C10	—	6	ns	
XCLKIN低电平占空比 ^b	$t_{w(CIL)}$		45	55	%	
XCLKIN高电平占空比 ^b	$t_{w(CIH)}$		45	55	%	
XCLKIN时序-PLL禁用						
XCLKIN下降沿时间	$t_{r(CI)}$	见图6-1的C9	小于等于20MHz	—	6	ns
			20MHz~30MHz	—	2	ns
XCLKIN上升沿时间	$t_{r(CI)}$	见图6-1的C10	小于等于20MHz	—	6	ns
			20MHz~30MHz	—	2	ns
XCLKIN低电平占空比	$t_{w(CIL)}$		45	55	%	
XCLKIN高电平占空比	$t_{w(CIH)}$		45	55	%	
XCLKOUT开关特性 (PLL旁通或者启用) ^c						
XCLKOUT下降沿时间	$t_{f(XCO)}$	见图6-1的C3	—	5	ns	
XCLKOUT上升沿时间	$t_{r(XCO)}$	见图6-1的C4	—	5	ns	
XCLKOUT低电平占空比	$t_{w(XCOL)}$	见图6-1的C5	H-2	H+2	ns	
XCLKOUT高电平占空比	$t_{w(XCOH)}$	见图6-1的C6	H-2	H+2	ns	

注电压均以 V_{SS} 为基准, $V_{SS}=0\text{V}$ 。电流以流入器件引出端为正。

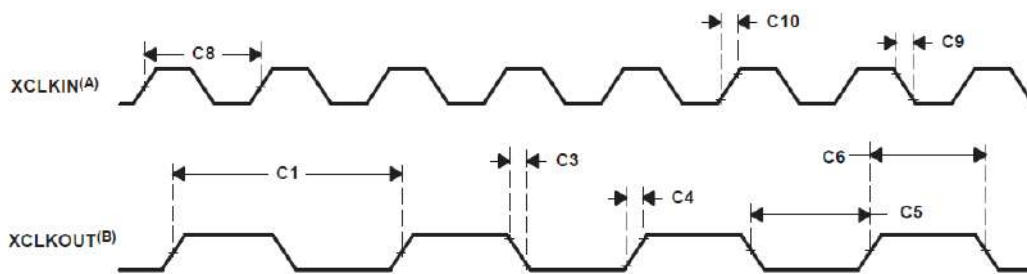


图6-1 XCLKIN和XCLKOUT时序特性

A. XCLKIN 到 XCLKOUT 的关系取决于所选择的分频因子。所显示的波形只用于说明时序参数并且根据实际配置会有所不同。

B. XCLKOUT 被配置成反映 SYSCLKOUT。

6.4 上电启动

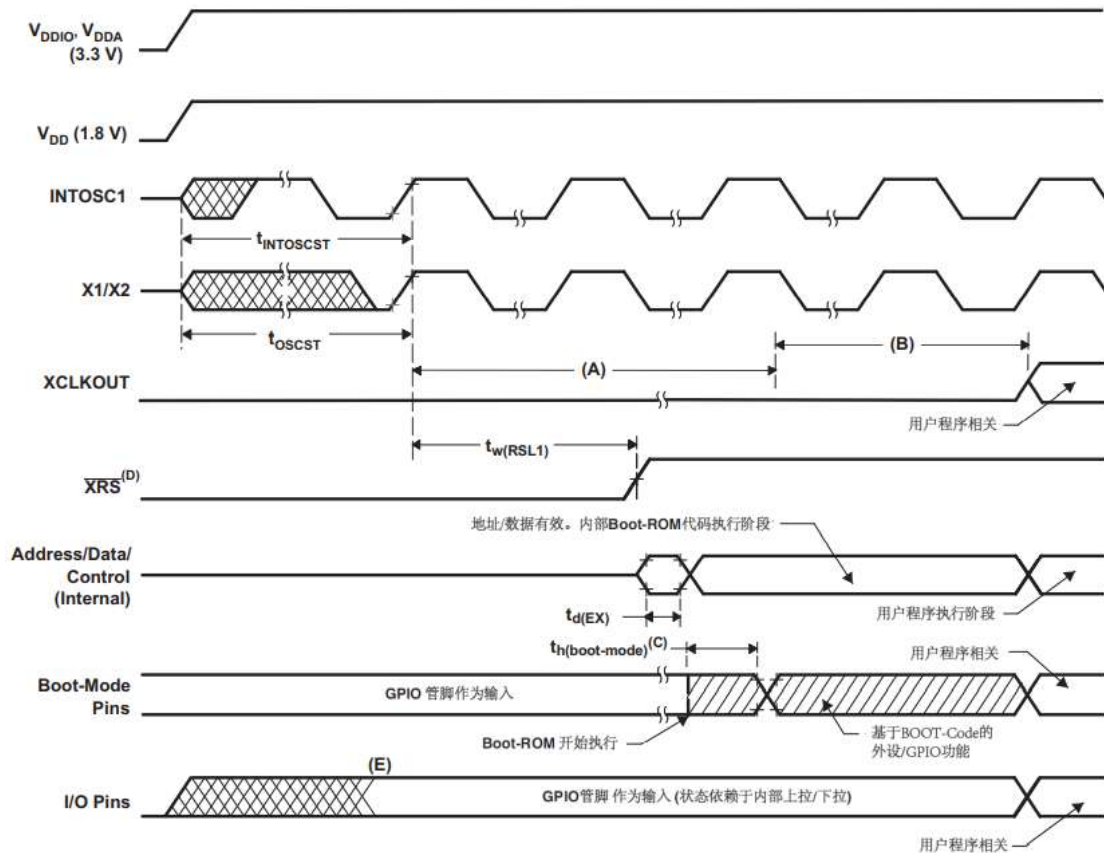


图 6-2 加电复位

A. 加电时，SYSCLKOUT为OSCCLK/4。由于XCLK 寄存器中XCLKOUTDIV复位值为0，XCLKOUT=SYSCLKOUT/4，即XCLKOUT=OSCCLK/16。

B. 复位后，BOOTROM代码采样启动模式管脚。基于启动模式管脚的状态，启动代码分支到不同函数入口完成启动操作。如果复位操作是由调试器发出，则BOOTROM代码执行时间依赖于当前的SYSCLKOUT频率设定。

表6-3复位(XRS)时序要求

符号	特性	测试条件	最小值	标称值	最大值	单位
$t_{w(RSL1)}$	脉冲持续时间，稳定输入时钟至XRS 高电平的时间			600		us
$t_{w(RSL2)}$	脉冲持续时间，XRS 低电平的时间	热复位	$32t_{c(OSCCLK)}$			周期
$t_{w(WDRS)}$	脉冲持续时间，由看门狗生成复位脉冲的时间			$512t_{c(OSCCLK)}$		周期
$t_d(EX)$	延迟时间，XRS 高电平后，地址/数据有效的时间			$32t_{c(OSCCLK)}$		周期
$t_{INTOSCST}$	内部零管脚振荡器启动时间			3		us
$t_{OSCST}^{(2)}$	振荡器启动时间		1	10		ms
$t_h(\text{boot-mode})$	启动模式管脚的保持时间		$1000t_{c(SCO)}$			周期

(1) 除了 $t_{w(RSL1)}$ 要求外，XRS必须在VDD达到1.5V后的1ms内为低电平。

(2) 取决于晶体/谐振器和电路板设计。

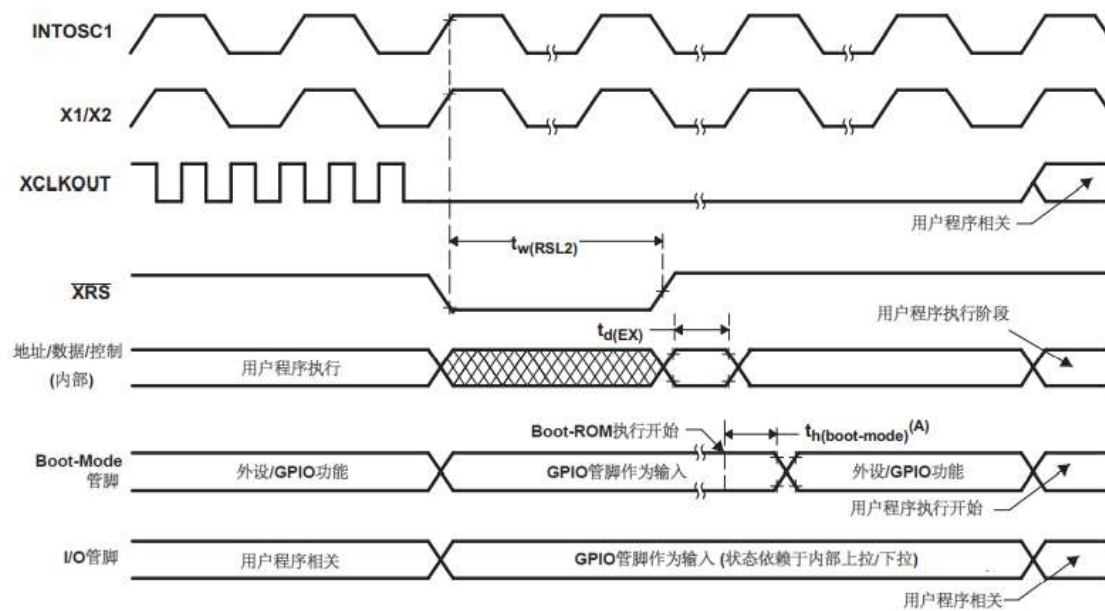


图6-3 热复位

A. 复位后，BOOTROM代码采样启动模式管脚。基于启动模式管脚的状态，启动代码分支到不同函数入口完成启动操作。如果复位操作是由调试器发出，则BOOTROM代码执行时间依赖于当前的SYSCLKOUT频率设定。

下图显示了写入 PLLCR 寄存器所产生的效果的一个示例。在第一个阶段， $\text{PLLCR}=0x0004$ ，并且 $\text{SYSCLKOUT}=\text{OSCCLK} * 2$ 。然后配置 PLLCR 为 $0x0008$ 。就在 PLLCR 寄存器被写入后，PLL 锁定阶段开始。在这个阶段期间， $\text{SYSCLKOUT}=\text{OSCCLK}/2$ 。在 PLL 锁定完成后，SYSCLKOUT 反映了新的运行频率， $\text{OSCCLK}*4$ 。

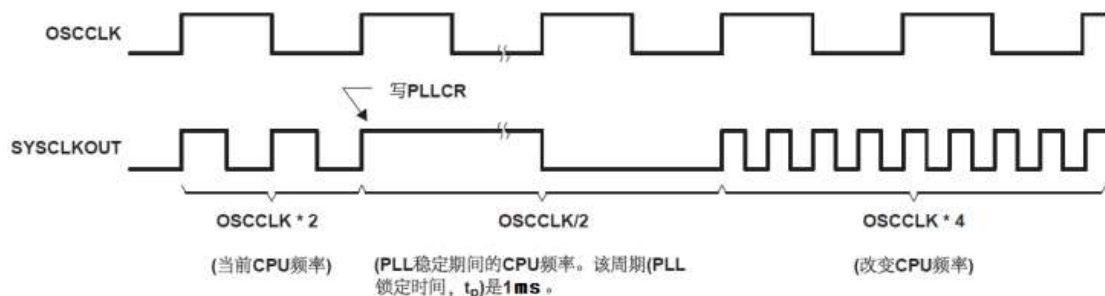


图 6-4 写入 PLLCR 寄存器所产生的效果的示例

6.5 GPIO

6.5.1 输出时序

表 6-4 GPIO 输出时序特性

参数		最小值	典型值	最大值	单位
$t_{r(\text{GPIO})}$	上升时间, GPIO 从低到高	全部 GPIO		13	ns
$t_{f(\text{GPIO})}$	下降时间, GPIO 从高到低	全部 GPIO		13	ns
$t_{f(\text{GPIO})}$	GPIO 翻转频率	全部 GPIO		15	MHz

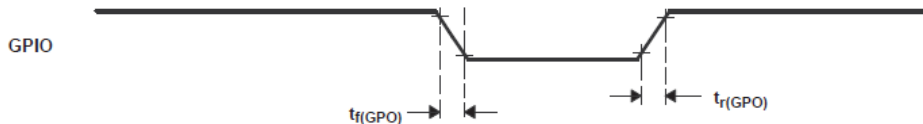


图6-5 GPIO输出时序

6.5.2 输入时序

表 6-5 GPIO 输入时序特性

参数		最小值	典型值	最大值	单位
$t_{w(SP)}$	采样周期	QUALPRD = 0			周期
		QUALPRD \neq 0	$1t_{c(SCO)}$		周期
$t_{w(IQSW)}$	输入限定器采样窗口	全部 GPIO	$t_{w(SP)} * (n^{(1)} - 1)$		周期
$t_{w(GPIO)}^{(2)}$	脉冲宽度	同步模式	$2t_{c(SCO)}$		周期
		带输入限定器	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SCO)}$		周期

(1) "n" 代表GPxQSELn寄存器定义的输入限定采样数。

(2) 对于 $t_{w(GPIO)}$ ，脉冲宽度是从 V_{IL} 到 V_{IL} （信号为低时），或 V_{IH} 到 V_{IH} （信号为高时）。

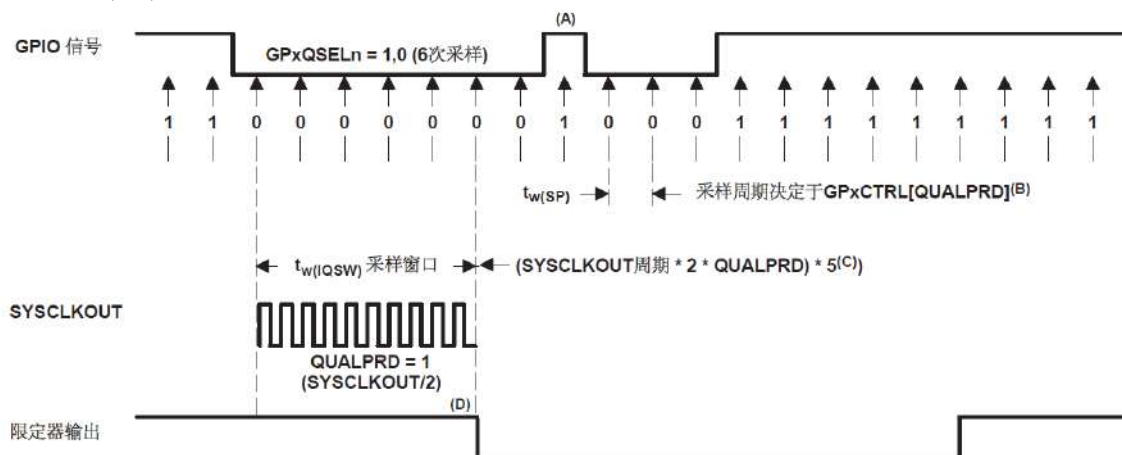


图6-6 采样模式

A. 这个毛刺脉冲将被输入限定器所忽略。QUALPRD 位字段指定了限定采样周期。它可在00至0xFF间变化。如果QUALPRD=00，那么采样周期为1个SYSCLKOUT 周期。对于任何其它的"n"值，限定采样周期为2n个SYSCLKOUT周期（也就是说，每2n个SYSCLKOUT 周期，GPIO引脚将被采样）。

B. 通过GPxCTRL 寄存器选择的限定周期应用于一组（8个）GPIO引脚上。

C. 限定器也可采样3次或者6次。GPxQSELn 寄存器选择使用的采样模式。

D. 为了使限定器检测到变化，输入应该在10个SYSCLKOUT 周期或者更长的时间内保持稳定。换句话说，输入应该在 $(5 * QUALPRD * 2)$ 个SYSCLKOUT 周期内保持稳定。这将确保在5个采样周期内被检测到。由于外部信号是异步的，13个SYSCLKOUT周期宽的脉冲才能确保被识别。

6.5.3 输入采样窗口宽度

下面的部分总结了不同的输入限定器配置下用于输入信号的采样窗口宽度。

采样频率是相对于 SYSCLKOUT 时钟的。

若 QUALPRD \neq 0，采样频率= SYSCLKOUT 频率/(2*QUALPRD)

若 QUALPRD=0，采样频率= SYSCLKOUT 频率

在上面的等式中，SYSCLKOUT 周期是 SYSCLKOUT 时钟的周期。

若 $QUALPRD \neq 0$, 采样周期 = $SYSCLKOUT$ 周期 * 2 * $QUALPRD$

若 $QUALPRD = 0$ 的话, 采样周期 = $SYSCLKOUT$ 周期

在一个指定的采样窗口中, 对输入信号进行 3 次或 6 次采样以确定信号的有效性。由 $GPxQSELn$ 寄存器的值确定采样次数。

- 情况 1: 使用 3 次采样的限定

如果 $QUALPRD \neq 0$, 采样窗口宽度 = $SYSCLKOUT$ 周期 * 2 * $QUALPRD$ * 2

如果 $QUALPRD = 0$, 采样窗口宽度 = $SYSCLKOUT$ 周期 * 2

- 情况 2: 使用 6 次采样的限定

如果 $QUALPRD \neq 0$, 采样窗口宽度 = $SYSCLKOUT$ 周期 * 2 * $QUALPRD$ * 5

如果 $QUALPRD = 0$, 采样窗口宽度 = $SYSCLKOUT$ 周期 * 5

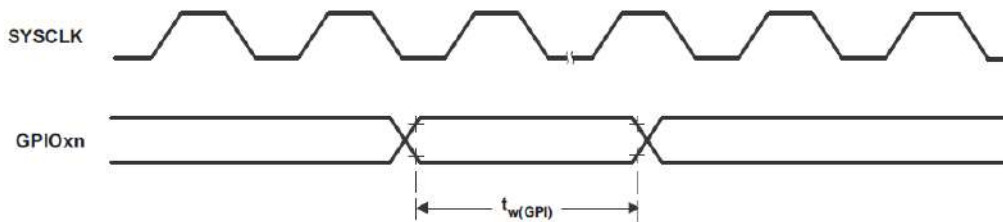


图6-7 通用输入时序

6.6 低功耗模式唤醒时序

6.6.1 进入/退出 IDLE 模式

表 6-6 IDLE 模式时序要求⁽¹⁾

参数	描述	测试条件	最小值	典型值	最大值	单位
$t_{w(WAKE-INT)}$	脉冲持续时间, 外部唤醒信号的时间	无输入限定器	$2t_{c(SCO)}$			周期
		带有输入限定器	$5t_{c(SCO)} + t_{w(IQSW)}$			周期

(1) 对于输入限定器器参数的说明, 请见表6-5。

表 6-7 IDLE 模式开关特性

参数	描述	测试条件	最小值	最大值	单位
$t_{d(WAKE-IDLE)}$	延迟时间, 外部唤醒信号到程序执行重新开始的时间 ⁽¹⁾		—	—	周期
	从 Flash 中唤醒 (Flash 工作)	无输入限定器	—	$20t_{c(SCO)}$	周期
		带有输入限定器	—	$20t_{c(SCO)} + t_{w(IQSW)}$	周期
	从 Flash 中唤醒 (Flash 睡眠)	无输入限定器	—	$1050t_{c(SCO)}$	周期
		带有输入限定器	—	$1050t_{c(SCO)} + t_{w(IQSW)}$	周期
	从 SARAM 中唤醒	无输入限定器	—	$20t_{c(SCO)}$	周期
带有输入限定器		—	$20t_{c(SCO)} + t_{w(IQSW)}$	周期	

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。中断服务程序 (由唤醒触发) 的执行会增加额外的延迟。

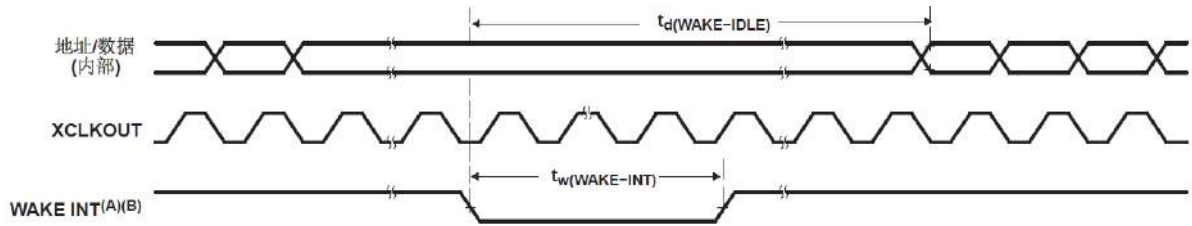


图 6-8 IDLE 进入和退出时序

- A. WAKE INT 可以是任一被使能的中断，WDINT，或者XRS。
- B. 从将芯片置于低功耗模式(LPM) 的IDLE 指令被执行开始，在至少4 个OSCCLK 周期之前，唤醒不应被启动。

6.6.2 进入/退出 STANDBY 模式

表 6-8 STANDBY 模式时序要求

参数	描述		最小值	典型值	最大值	单位
$t_{w(WAKE-INT)}$	脉冲持续时间，外部唤醒信号的时间	无输入限定器	$3 * t_{c(OSCCLK)}$			周期
		带有输入限定器 ⁽¹⁾	$(2 + QUALSTDBY) * t_{c(OSCCLK)}$			周期

(1) QUALSTDBY 是一个LPMCR0 寄存器内的6 位字段。

表 6-9 STANDBY 模式开关特性

参数	描述	测试条件	最小值	最大值	单位
$t_{d(IDLE-XCOL)}$	延迟时间，IDLE 指令被执行 XCLKOUT 变为低电平的时间		$32t_{c(SCO)}$	$45t_{c(SCO)}$	周期
$t_{d(WAKE-STBY)}$	延迟时间，外部唤醒信号到程序执行重新开始的时间 ⁽¹⁾				
	从 Flash 中唤醒 (Flash 工作)	无输入限定器	—	$100t_{c(SCO)}$	周期
		带有输入限定器	—	$100t_{c(SCO)} + t_{w(WAKE-INT)}$	周期
	从 Flash 中唤醒 (Flash 睡眠)	无输入限定器	—	$1125t_{c(SCO)}$	周期
		带有输入限定器	—	$1125t_{c(SCO)} + t_{w(WAKE-INT)}$	周期
	从 SARAM 中唤醒	无输入限定器	—	$100t_{c(SCO)}$	周期
带有输入限定器		—	$100t_{c(SCO)} + t_{w(WAKE-INT)}$	周期	

(1) 这个时间是在IDLE 指令之后立即开始指令执行的时间。中断服务程序 (由唤醒触发) 的执行会增加额外的延迟。

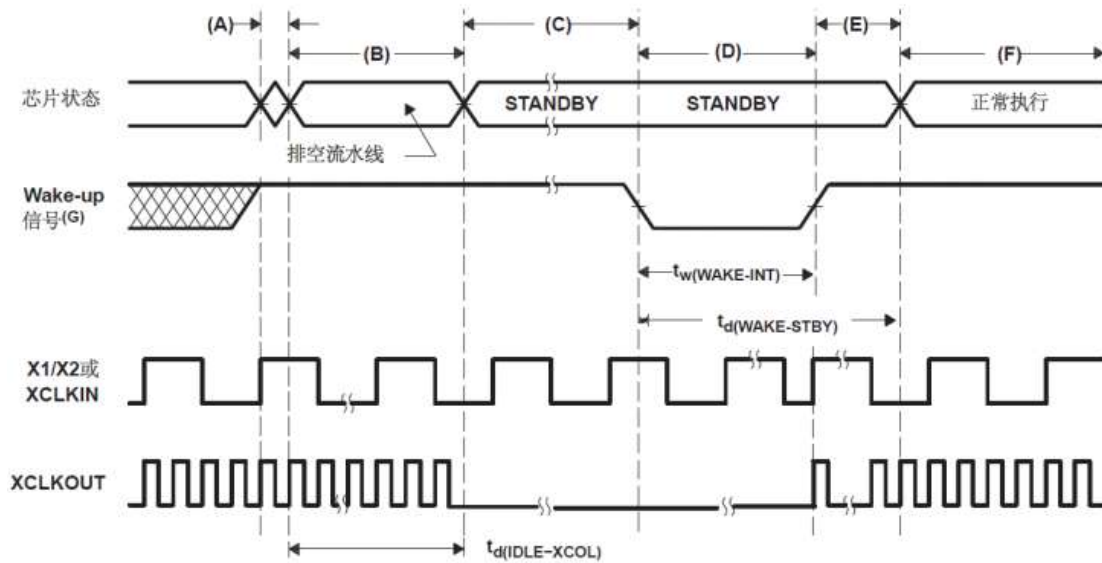


图 6-9 STANDBY 进入和退出时序图

- A. 被执行的IDLE 指令将芯片置于STANDBY 模式。
- B. PLL响应STANDBY 信号。在被关闭前，按下列情况保持SYSCLKOUT一定数量周期：
- 当DIVSEL=00 或11 时，16个周期
 - 当DIVSEL=10 时，32个周期
 - 当DIVSEL=11 时，64个周期

这个延迟使得CPU流水线和其它等待操作被清空。

- C. 到外设的时钟被关闭。然而，PLL和看门狗并未关闭。此芯片现在处于STANDBY 模式。
- D. 外部唤醒信号有效。
- E. 经过一定延迟，退出STANDBY模式。
- F. 正常执行重新开始。此芯片将响应中断（如果被使能的话）。
- G. 从将芯片置于低功耗模式(LPM) 的 IDLE 指令被执行开始，在至少 4 个 OSCCLK 周期之内，不应被唤醒。

6.6.3 进入/退出 HALT 模式

表 6-10 HALT 模式时序要求

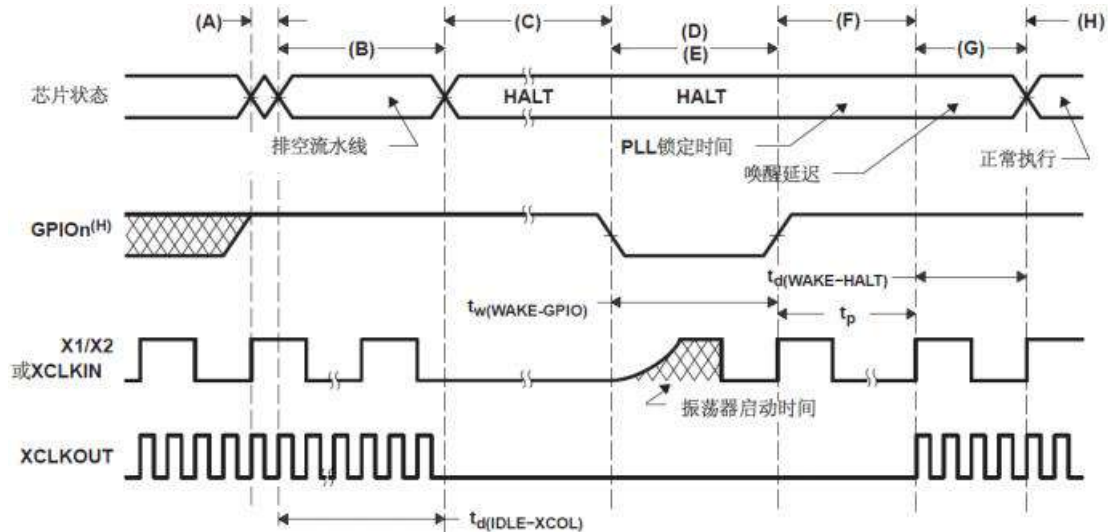
参数	描述	最小值	典型值	最大值	单位
$t_{w(WAKE-GPIO)}$	脉冲持续时间，GPIO 唤醒信号的时间	$t_{oscst} + 2t_{c(OSCCLK)}$ ⁽¹⁾			周期
$t_{w(WAKE-XRS)}$	脉冲持续时间，XRS 唤醒信号的时间	$t_{oscst} + 8t_{c(OSCCLK)}$			周期

(1) t_{oscst} 是片内振荡器启动时间，最小值为 1，典型值为 10ms。

表 6-11 HALT 模式开关特性

参数	描述	最小值	典型值	最大值	单位
$t_{d(IDLE-XCOL)}$	延迟时间，IDLE 指令被执行 XCLKOUT 变为低电平的时间	$32t_{c(SCO)}$		$45t_{c(SCO)}$	周期
t_p	PLL 锁定时间			1	ms
$t_{d(WAKE-HALT)}$	延迟时间，PLL 锁定到程序执行重新开始的时间				

	从 Flash 中唤醒				$1125t_{c(SCO)}$	周期
	从 SARAM 中唤醒				$35t_{c(SCO)}$	周期


 图 6-10 使用 GPIO_n 的 HALT 唤醒

A. IDLE 指令被执行以将芯片置于 HALT 模式。

B. PLL 响应 HALT 信号。在振荡器被关闭并且到内核的 CLKIN 被停止前按以下情况保持 SYSCLKOUT 一定周期：

- 当 DIVSEL=00 或 11 时，16 个周期
- 当 DIVSEL=10 时，32 个周期
- 当 DIVSEL=11 时，64 个周期

这个延迟使得 CPU 流水线和其它等待的操作被清空。

D. 当 GPIO_n 管脚（用于使芯片脱离 HALT 模式）为低电平时，振荡器被打开并且振荡器唤醒序列被启动。

只有当振荡器稳定时，GPIO 才可变为高电平。这样可在 PLL 锁定期间提供一个洁净的时钟信号。由于 GPIO 管脚的下降沿异步开始唤醒过程，应该注意在进入和处于 HALT 模式期间保持一个低噪声环境。

E. 一旦振荡器已经稳定，PLL 锁定序列被启动，这将花费 1ms。F. 到内核和外设时钟被启用。现在退出 HALT 模式。经过一定延迟后，芯片将响应此中断（如果被使能的话）。

G. 正常运行重新开始。

H. 从将芯片置于低功耗模式(LPM) 的 IDLE 指令被执行开始，在至少 4 个 OSCCLK 周期之内，不应被唤醒。

6.7 ePWM

表 6-12 ePWM 时序要求

参数	描述	测试条件	最小值	典型值	最大值	单位
$t_{w(SYCIN)}$	同步输入脉冲宽度	异步	$2t_{c(SCO)}$			周期
		同步	$2t_{c(SCO)}$			
		带有输入限定器	$1t_{c(SCO)} + t_{w(IQSW)}$			

表 6-13 ePWM 开关特性

参数	描述	测试条件	最小值	典型值	最大值	单位
----	----	------	-----	-----	-----	----

$t_w(\text{PWM})$	脉冲持续时间, PWMx 输出高电平/低电平的时间		33.33			ns
$t_w(\text{SYNCOUT})$	同步输出脉冲宽度		$8t_{c(\text{SCO})}$			周期
$t_d(\text{PWM})_{\text{TZA}}$	延迟时间, 触发输入有效到 PWM 强制高电平的时间 延迟时间, 触发输入有效到 PWM 强制低电平的时间	无引脚负载			25	ns
$t_d(\text{TZ-PWM})_{\text{HZ}}$	延迟时间, 触发输入有效至 PWM 高阻抗 (Hi-Z) 的时间				20	ns

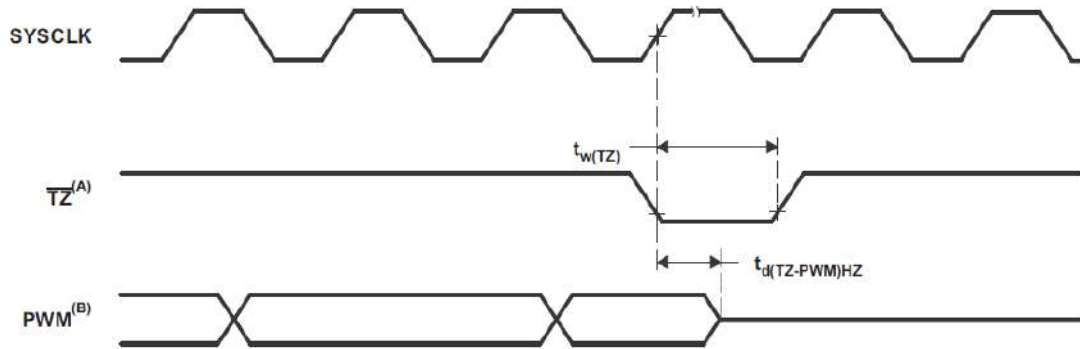


图 6-11 PWM 高阻 (Hi-Z) 特性

A. TZ-TZ1, TZ2, TZ3, TZ4, TZ5, TZ6

B. PWM 是指所有器件内的 PWM 引脚。TZ 为高电平之后的 PWM 引脚的状态取决于 PWM 恢复软件。

 表 6-14 可编程控制故障区输入时序要求⁽¹⁾

参数	描述	测试条件	最小值	典型值	最大值	单位
$t_w(\text{TZ})$	脉冲持续时间, TZx 输入低电平的时间	异步	$1t_{c(\text{TBCLK})}$			周期
		同步	$2t_{c(\text{TBCLK})}$			
		带有输入限定器器	$1t_{c(\text{TBCLK})} + t_w(\text{IQS})$ w)			

(1) 对于输入限定器器参数的说明, 请见表6-5。

表 6-15 在 SYSCLKOUT=(60MHz) 时, 高分辨率 PWM 特性

参数	最小值	典型值	最大值	单位
微边沿定位 (MEP) 步长 ⁽¹⁾		150	310	ps

(1) MEP步长在高温和最小VDD电压情况下达到最大。MEP 步长将随着更低电压和更高温度而增加, 随着电压升高和温度降低而降低。使用HRPWM的应用应该使用MEP缩放因子优化器(SFO) 近似函数。SFO 函数有助于在HRPWM 运行时动态地估计每个SYSCLKOUT 周期内的MEP步数量。

6.8 eCAP

表 6-16 eCAP 时序要求

参数	描述	测试条件	最小值	典型值	最大值	单位
$t_w(\text{CAP})$	捕捉输入脉冲宽度	异步	$2t_{c(\text{SCO})}$			周期
		同步	$2t_{c(\text{SCO})}$			
		带有输入限定器器	$1t_{c(\text{SCO})} + t_w(\text{IQSW})$			

表 6-17 eCAP 开关特性

参数	描述	测试条件	最小值	典型值	最大值	单位
$t_w(\text{APWM})$	脉冲持续时间, APWM _x 输出高电平/低电平的时间		20			ns

6.9 HRCAP

表 6-18 HRCAP 时序要求

参数	描述	测试条件	最小值	典型值	最大值	单位
$t_{\text{C}}(\text{HCCAPCLK})$	HRCAP 捕获时钟周期		8.333		10.204	ns
$t_w(\text{HRCAP})$	脉冲持续时间, HRCAP 捕获		$7t_{\text{C}}(\text{HCCAP CLK})$			ns
	HRCAP 步长			300		Ps

6.10 eQEP

 表 6-19 eQEP 时序要求⁽¹⁾

参数	描述	测试条件	最小值	典型值	最大值	单位
$t_w(\text{QEPP})$	QEP 输入周期	异步 ⁽²⁾ /同步	$2t_{\text{C}}(\text{SCO})$			周期
		带有输入限定器	$2t_{\text{C}}(\text{SCO})+2t_w(\text{IQSW})$			周期
$t_w(\text{INDEXH})$	QEP 索引输入高电平时间	异步 ⁽²⁾ /同步	$2t_{\text{C}}(\text{SCO})$			周期
		带有输入限定器	$2t_{\text{C}}(\text{SCO})+t_w(\text{IQSW})$			周期
$t_w(\text{INDEXL})$	QEP 索引输入低电平时间	异步 ⁽²⁾ /同步	$2t_{\text{C}}(\text{SCO})$			周期
		带有输入限定器	$2t_{\text{C}}(\text{SCO})+t_w(\text{IQSW})$			周期
$t_w(\text{STROBH})$	QEP 选通脉冲高电平时间	异步 ⁽²⁾ /同步	$2t_{\text{C}}(\text{SCO})$			周期
		带有输入限定器	$2t_{\text{C}}(\text{SCO})+t_w(\text{IQSW})$			周期
$t_w(\text{STROBL})$	QEP 选通脉冲低电平时间	异步 ⁽²⁾ /同步	$2t_{\text{C}}(\text{SCO})$			周期
		带有输入限定器	$2t_{\text{C}}(\text{SCO})+t_w(\text{IQSW})$			周期

(1) 对于输入限定器参数的说明, 请见表6-5。

表 6-20 eQEP 开关特性

参数	描述	最小值	典型值	最大值	单位
$t_{\text{d}}(\text{CNTR})_{\text{xin}}$	延迟时间, 外部时钟到计数器增量的时间			$4t_{\text{C}}(\text{SCO})$	周期
$t_{\text{d}}(\text{PCS-OUT})_{\text{QEP}}$	延迟时间, QEP 输入边沿到位置比较同步输出的时间			$6t_{\text{C}}(\text{SCO})$	周期

6.11 ADC

 表 6-21 ADC 电气特性⁽¹⁾⁽²⁾

参数		最小值	典型值	最大值	单位
DC 技术规范					
分辨率		12			位
ADC 时钟频率		0.001		60	MHz
精度					
INL (积分非线性)	1-30MHz ADC 时钟	-4		+4	LSB
DNL (微分非线性)		-1		+1	LSB
偏置误差	执行单个自校准	-20		20	LSB
	执行周期性自校准	-4		+4	LSB
带有内部基准的总增益误差		-60		60	LSB
带有外部基准的总增益误差		-40		40	LSB
通道之间偏置变化		-4		+4	LSB
通道之间增益变化		-4		+4	LSB
模拟输入					
模拟输入电压(内部基准)		0		3.3	V
模拟输入电压(带外部基准)		V_{REFLO}		V_{REFHI}	V
V_{REFLO} 输入电压		V_{SSA}		0.66	V
V_{REFHI} 输入电压		2.64		V_{DDA}	V
	$V_{REFHI}=V_{SSA}$	1.98		V_{DDA}	V
输入电容			5		pF
输入漏电流		-2		+2	uA

6.11.1 ADC 上电控制时序

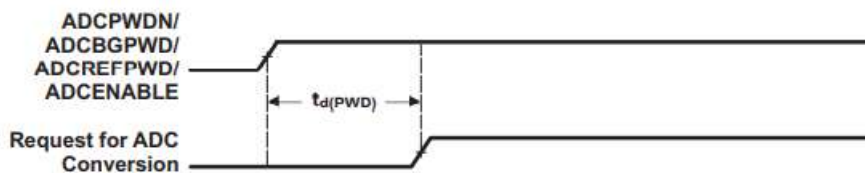


图 6-12 ADC 上电控制时序

表 6-22 ADC 上电延时

参数 ⁽¹⁾	最小值	典型值	最大值	单位
$t_{d(PWD)}$ 上电控制稳定等待延时			1	ms
			1	ms

(1) 三位控制信号可以同时有效，这样就只要等待 $t_{d(BGR)}$ 参数时间后 ADC 就可以开始正常转换工作了。

表 6-23 不同 ADC 配置情况下典型电流消耗值

ADC 工作模式	条件	I_{DDA}	单位
模式 A(工作模式)	1) 使能 ADC 时钟 2) 使能 BG 和 REF 3) ADC 上电	13	mA
模式 B(快速唤醒模式)	1) 使能 ADC 时钟 2) 使能 BG 和 REF 3) ADC 下电	4	mA
模式 C(只有比较器工作)	1) 使能 ADC 时钟 2) 使能 BG 3) 关闭 REF 4) ADC 下电	1.5	mA
模式 D(关闭模式)	1) 使能 ADC 时钟 2) 关闭 BG、REF 3) ADC 下电	0.075	mA

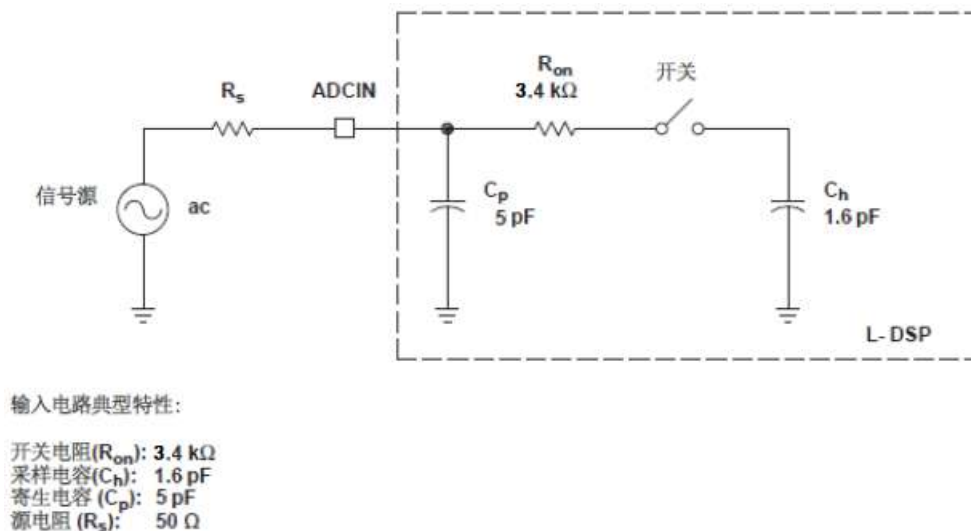


图 6-13 ADC 模拟输入阻抗模型

6.11.2 定义说明

基准电压: 片上 ADC 提供了内置基准, 给 ADC 提供参考电压。

模拟输入: 片上 ADC 拥有 16 个模拟输入通道, 一次可以同时采样 1 个或者 2 个通道。

转换器: 片上 ADC 采用了 12 比特 SAR 流水结构, 可以实现低功耗高采样率。

转换模式: 转换器可以工作在两种不同的模式:

- 顺序采样模式(SMODE = 0)
- 并发采样模式(SMODE = 1)

6.11.3 顺序采样模式(单通道)(SMODE = 0)

顺序采样模式下, ADC 可以连续采样任何通道的输入信号。当有来至 ePWM 触发、软件触发或者外部 ADCSOC 触发信号时 ADC 开始转换工作。如果 SMODE 位等于 0, ADC 会在每一个采样/保持脉冲期间开始采样和转换制定通道的输入信号。ADC 中断标志位会在结果寄存器完成更新后的若干 SYSCLKOUT 周期后有效。选定的采样通道会在每个采样/保持脉冲的下降沿被采样。采样/保持脉冲的宽度可以通过软件配置, 范围从 7 个 ADC

时钟周期到 64 个 ADC 时钟周期。

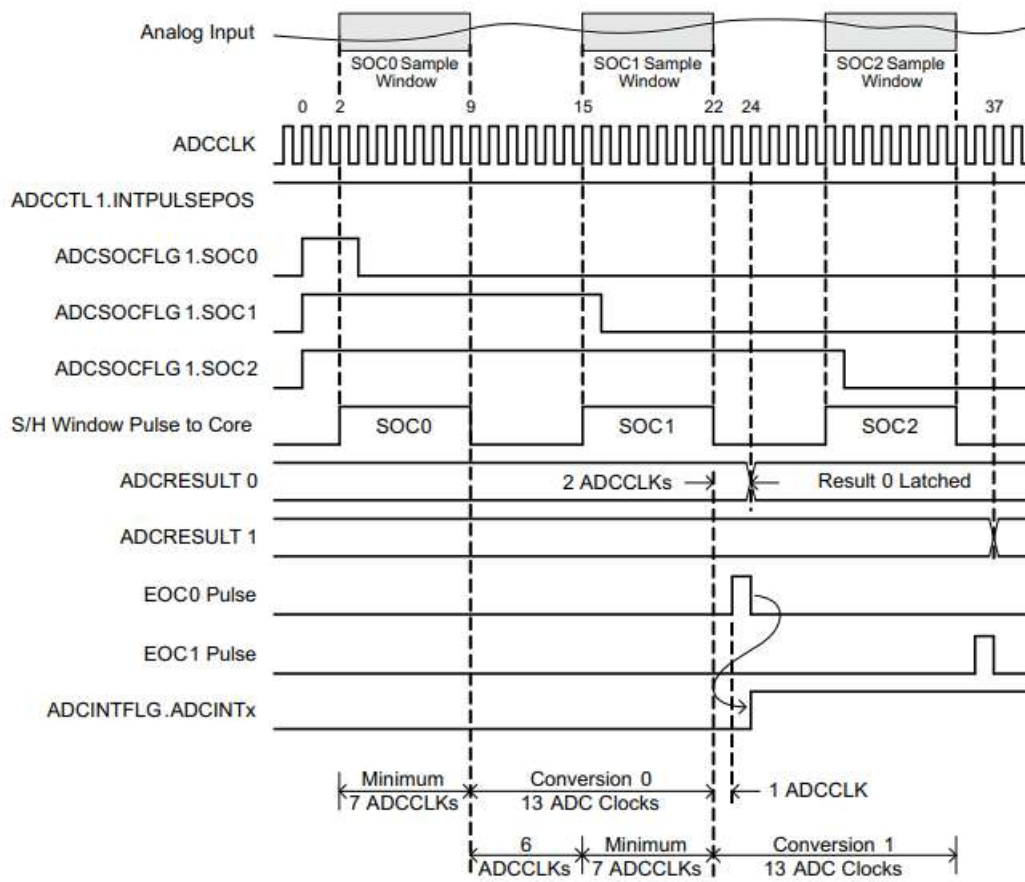


图 6-14 顺序采样模式 (Late 中断脉冲)

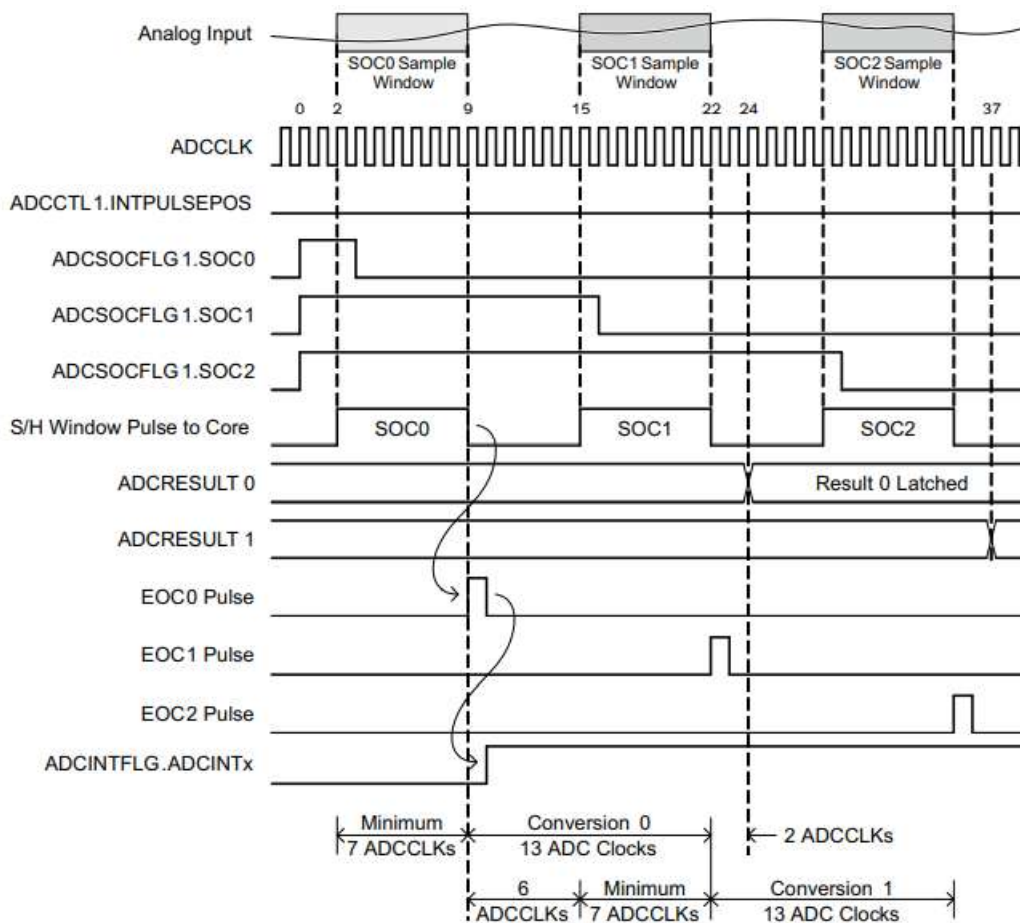


图 6-15 顺序采样模式 (Early 中断脉冲)

6.11.4 并发采样模式(双通道)(SMODE =1)

在并发采样模式下, ADC 可在任何一对通道(A0/B0 至 A7/B7)持续转换输入信号。当有来至 ePWM 触发、软件触发或者外部 ADCSOC 触发信号时 ADC 开始转换工作。如果 SMODE 位为 1, ADC 将在每个采样/保持脉冲上的两个所选通道上进行转换。ADC 中断标志位会在结果寄存器完成更新后的若干 SYSCLKOUT 周期后有效。所选通道将在采样/保持脉冲的下降边沿上被同时采样。采样/保持脉冲的宽度可以通过软件配置, 范围从 7 个 ADC 时钟周期到 64 个 ADC 时钟周期。

注意: 并发采样模式中, ADCIN 通道对选择必须为 A0/B0, A1/B1, ..., A7/B7, 并且不能进行任何其它组合(例如 A1/B3, 等等)。

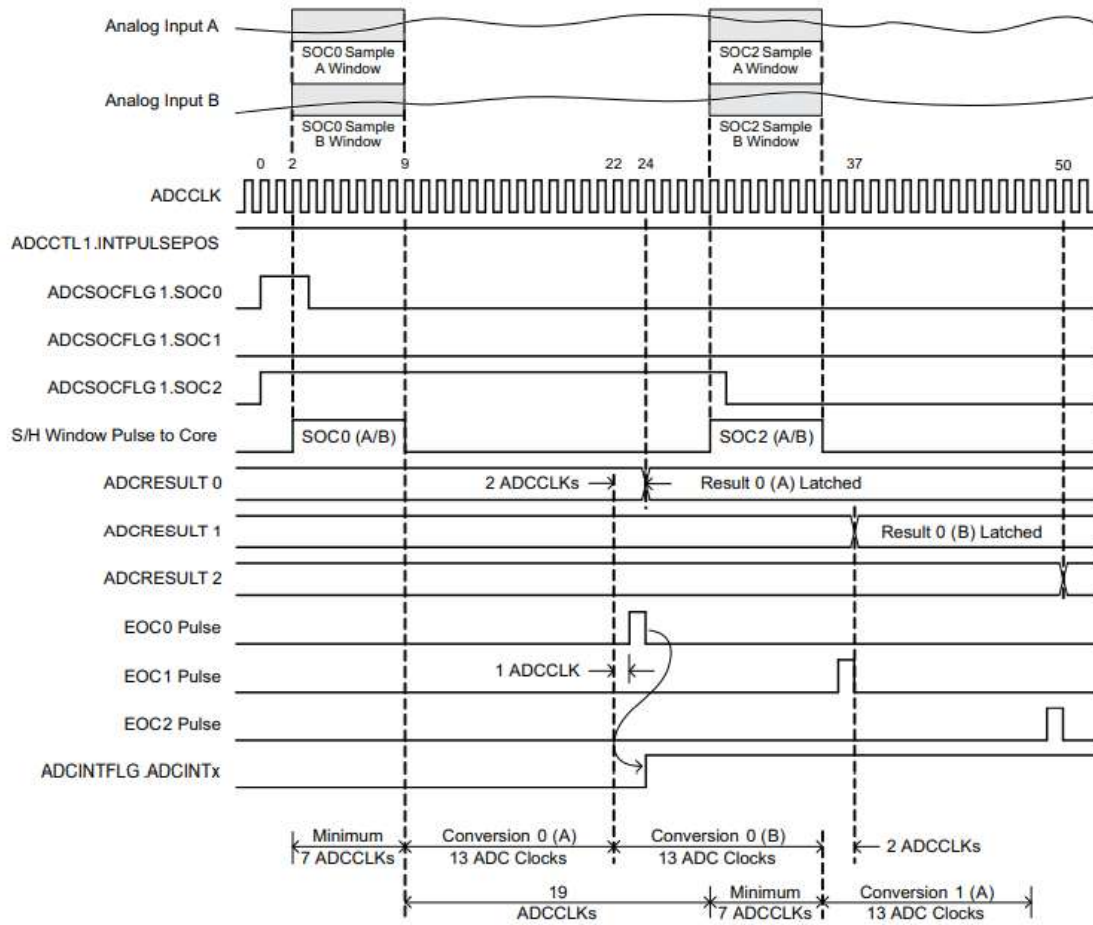


图 6-16 并发采样模式 (Late 中断脉冲)

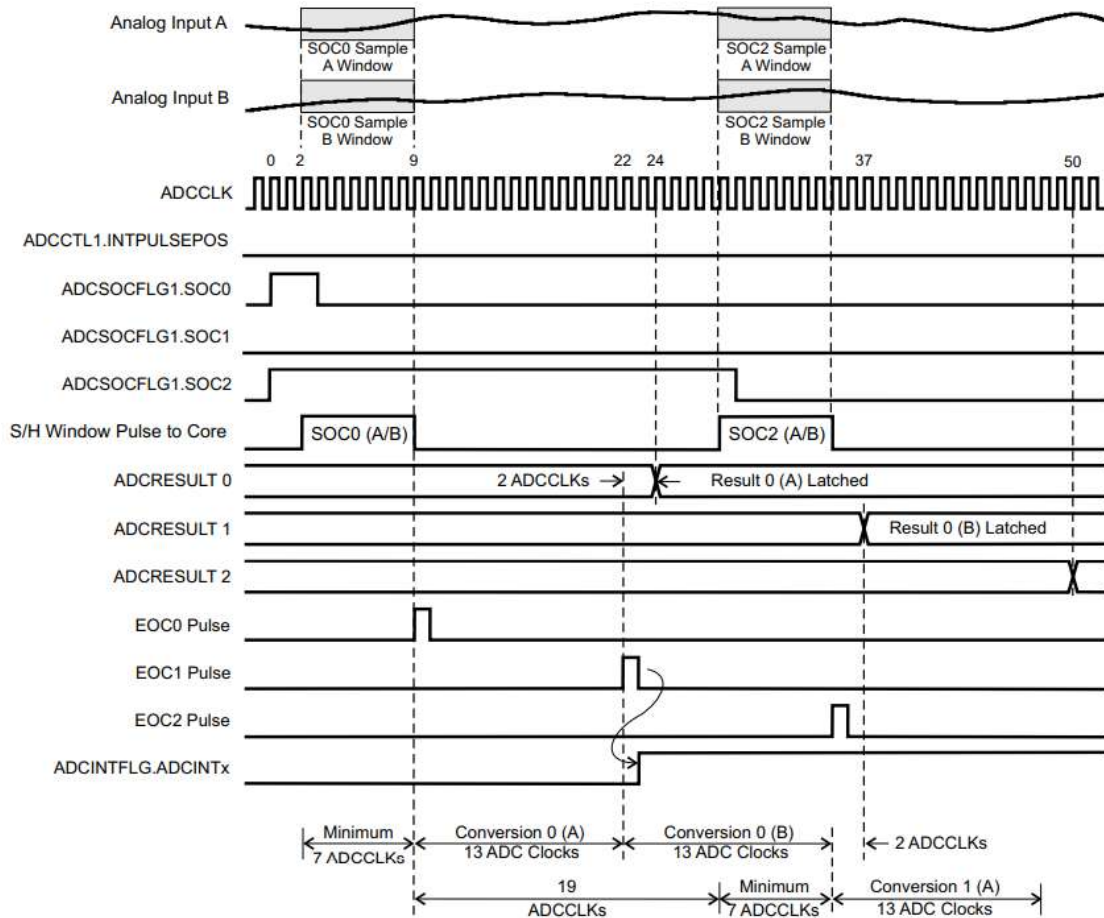


图 6-17 并发采样模式（Early 中断脉冲）

6.11.5 术语说明

积分非线性

积分非线性是指每个独立代码从零至满刻度所画的一条直线上的偏离。在首次代码转换前，作为零点的点出现一半 LSB。满刻度点被定义为超过最后一次代码转换的级别一半 LSB。这个偏离为每一个特定代码的中心到这两个点之间的精确直线的距离。

微分非线性

一个理想 ADC 显示分开距离恰好为 1 个 LSB 的代码转换。DNL 是从这个理想值的偏离。一个少于 ± 1 LSB 的微分非线性误差可确保无失码。

增益误差

第一个代码转换应该出现在高于负满刻度的一个模拟值一半 LSB 上。最后一次转换应该出现在低于标称满刻度的一个模拟值一倍半 LSB 上。增益误差是首次和末次代码转换间的实际差异以及它们之间的理想差异。

信噪比+失真 (SINAD)

SINAD 是测得的输入信号的均方根值与所有其它低于那奎斯特频率的频谱分量（包括谐波但不包括 dc）的均方根总和的比。SINAD 的值用分贝表示。

有效位数 (ENOB)

对于一个正弦波，SINAD 可用位的数量表示。使用公式 $N = \frac{(\text{SINAD} - 1.76)}{6.02}$ 有可能获得一个用 N（位的有效数）表达的性能测量值。因此，对于在给定输入频率上用于正弦波输

入的器件的有效位数量可从这个测得的 SINAD 直接计算。

总谐波失真 (THD)

THD 是头九个谐波分量的均方根总和与测得的输入信号的均方根值的比并表达为一个百分比或者分贝值。

无杂散动态范围(SFDR)

SFDR 是输入信号均方根振幅与峰值寄生信号间以分贝为单位的差异。

6.12 外部中断

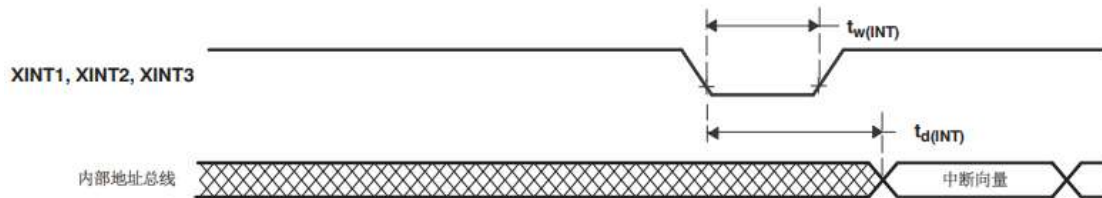


图 6-18 外部中断时序

表 6-24 外部中断时序要求

参数	描述	测试条件	最小值	典型值	最大值	单位
$t_w(\text{INT})$	脉冲持续时间, INT 输入低电平/高电平的时间	同步	$1t_{c(\text{SCO})}$			周期
		带限定器	$1t_{c(\text{SCO})} + t_w(\text{IQSW})^{(1)}$			周期

(1) 输入限定参数 $t_w(\text{IQSW})$ 见 6.5 小节。

表 6-25 外部中断开关特性

参数	描述	最小值	典型值	最大值	单位
$t_d(\text{INT})$	延迟时间, INT 低电平/高电平到获得中断向量程序地址的时间			$12t_{c(\text{SCO})} + t_w(\text{IQSW})^{(1)}$	周期

6.13 I2C

表 6-264 I2C 时序

参数	描述	测试条件	最小值	最大值	单位
V_{il}	低电平输入电压			$0.3V_{\text{DDIO}}$	V
V_{ih}	高电平输入电压		$0.7V_{\text{DDIO}}$		V
V_{hys}	输入滞后		$0.05V_{\text{DDIO}}$		V
V_{ol}	低电平输出电流	3mA 吸收电流	0	0.4	V
f_{SCL}	SCL 时钟频率	I2C 时钟模块频率在 7MHz 和 12MHz 之间且预分频器和时钟分频寄存器被适当配置		400	kHz
t_{LOW}	SCL 时钟的高周期		1.3		μs
t_{HIGH}	SCL 时钟的低周期		0.6		μs
I_i	输入电压介于 $0.1V_{\text{DDIO}}$ 和 $0.9V_{\text{DDIO}}$ (最大值)的输入电流		-10	10	μA

6.14 SPI

根据 SPI 模式, 其时序分为主模式时序和从模式时序。

6.14.1 主模式时序

根据时钟延时参数 CPHA 是否为 1，其时序参数分为有相位延时和无相位延时两种，分别如下表所示，其对应的波形时序如下图所示，其中表格中的标号与图中的标号对应。

表6-27 相位延时为0的主模式时序参数^{(1) (2) (3) (4) (5)}

序号	参数	描述	偶分频		奇分频		单位
			MIN	MAX	MIN	MAX	
1	$t_{c(SPC)M}$	SPICLK 周期	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	ns
2	$t_{w(SPC1)M}$	脉冲宽度, SPICLK 第 1 个脉冲	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 10$	ns
3	$t_{w(SPC2)M}$	脉冲宽度, SPICLK 第 2 个脉冲	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 10$	ns
4	$t_{d(SIMO)M}$	SPICLK到SPISIMO有效的延迟时间		10	—	10	ns
5	$t_{v(SIMO)M}$	SPICLK后SPISIMO有效的延迟时间	$0.5t_{c(SPC)M} - 10$	—	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$	—	ns
8	$t_{su(SOMI)M}$	SPISOMI相对于SPICLK的Setup时间	26	—	26	—	ns
9	$t_h(SOMI)M$	SPISOMI相对于SPICLK的Hold时间	0	—	0	—	ns
23	$t_d(SPC)M$	#SPISTE 有效相对于 SPICLK 的延迟时间	$1.5t_{c(SPC)M} - 3t_{c(SYSCCLK)} - 10$	—	$1.5t_{c(SPC)M} - 3t_{c(SYSCCLK)} - 10$	—	ns
24	$t_d(STE)M$	SPICLK 到#SPISTE 无效的延迟时间	$0.5t_{c(SPC)M} - 10$	—	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$	—	ns

(1) 设置SPICTL.2主从模式选择字段为1, SPICTL.3时钟相位延时字段为0。

(2) $t_{c(SPC)} = \text{SPICLK时钟周期} = \text{LSPCLK}/4$ 或 $\text{LSPCLK}/(\text{SPIBRR} + 1)$ 。

(3) $t_{c(LCO)} = \text{LSPCLK时钟周期}$ 。

(4) 内部预分频时钟参数的设置, 受SPI时钟频率最大值的约束, 主模式的最大发送速率是25MHz, 最大接收速率是12.5MHz, 从模式的最大收发速率是12.5MHz。

(5) SPICLK信号的有效沿是由SPICCR.6控制。

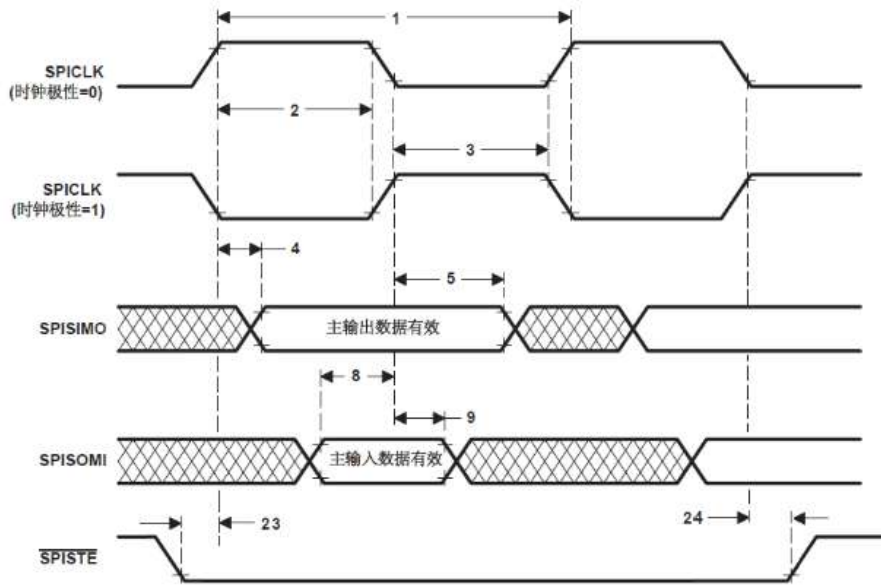


图 6-19 相位延时为 0 的 SPI 主模式时序

表 6-28 相位延时为 1 的主模式时序参数⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾⁽⁵⁾

序号	参数	描述	偶分频		奇分频		单位
			MIN	MAX	MIN	MAX	
1	$t_{c(SPC)M}$	SPICLK 周期	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	ns
2	$t_{w(SPC1)M}$	脉冲宽度, SPICLK 第 1 个脉冲	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 10$	ns
3	$t_{w(SPC2)M}$	脉冲宽度, SPICLK 第 2 个脉冲	$0.5t_{c(SPC)M} - 10$	$0.5t_{c(SPC)M} + 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 10$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 10$	ns
6	$t_{d(SIMO)M}$	SPISIMO有效到SPICLK的延迟时间	$0.5t_{c(SPC)M} - 10$	—	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 10$	—	ns
7	$t_{v(SIMO)M}$	SPICLK后SPISIMO有效的延迟时间	$0.5t_{c(SPC)M} - 10$	—	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$	—	ns
10	$t_{su(SOMI)M}$	SPISOMI相对于SPICLK的Setup时间	26	—	26	—	ns
11	$t_{h(SOMI)M}$	SPISOMI相对于SPICLK的Hold时间	0	—	0	—	ns
23	$t_{d(SPC)M}$	#SPISTE 有效相对于 SPICLK 的延迟时间	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$	—	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 10$	—	ns
24	$t_{d(STE)M}$	SPICLK 到#SPISTE 无效的延迟时间	$0.5t_{c(SPC)M} - 10$	—	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 10$	—	ns

(1) 设置SPICTL.2主从模式选择字段为1, SPICTL.3时钟相位延时字段为1。

(2) $t_{c(SPC)} = \text{SPICLK时钟周期} = \text{LSPCLK}/4$ 或 $\text{LSPCLK}/(\text{SPIBRR} + 1)$ 。

(3) $t_{c(LCO)} = \text{LSPCLK时钟周期}$ 。

(4) 内部预分频时钟参数的设置, 受SPI时钟频率最大值的约束, 主模式的最大发送速率是25MHz, 最大接收速率是12.5MHz, 从模式的最大收发速率是12.5MHz。

(5) SPICLK信号的有效沿是由SPICCR.6控制。

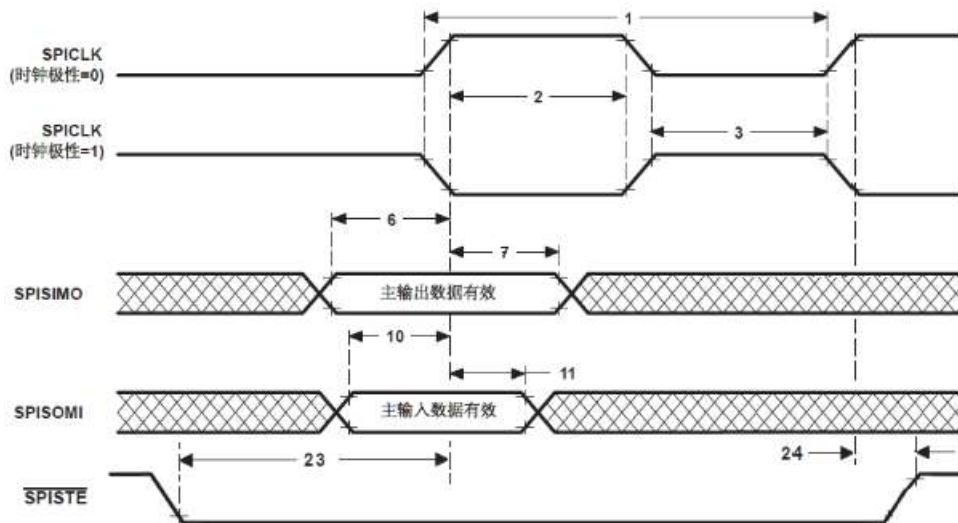


图 6-20 相位延时为 1 的 SPI 主模式时序

6.14.2 从模式时序

根据时钟延时参数 CPHA 是否为 1，其时序参数分为有相位延时和无相位延时两种，分别如下表所示，其对应的波形时序如下图所示，其中表格中的标号与图中的标号对应。

 表 6-29 相位延时为 0 的从模式时序参数^{(1) (2) (3) (4) (5)}

序号	参数	描述	MIN	MAX	单位
12	$t_{c(SPC)}S$	SPICLK 周期	$4t_{c(SYSCLK)}$	—	ns
13	$t_{w(SPC1)}S$	脉冲宽度, SPICLK 第 1 个脉冲	$2t_{c(SYSCLK)} - 1$	—	ns
14	$t_{w(SPC2)}S$	脉冲宽度, SPICLK 第 2 个脉冲	$2t_{c(SYSCLK)} - 1$	—	ns
15	$t_{d(SOMI)}S$	SPICLK 到 SPISOMI 有效的延迟时间	—	21	ns
16	$t_{v(SOMI)}S$	SPICLK 后 SPISOMI 有效的 Hold 时间	0	—	ns
19	$t_{su(SIMO)}S$	SPISIMO 相对于 SPICLK 的 Setup 时间	$1.5t_{c(SYSCLK)}$	—	ns
20	$t_{h(SIMO)}S$	SPISIMO 相对于 SPICLK 的 Hold 时间	$1.5t_{c(SYSCLK)}$	—	ns
25	$t_{su(STE)}S$	#SPISTE 相对于 SPICLK 的建立时间	$1.5t_{c(SYSCLK)}$	—	ns
26	$t_{h(STE)}S$	#SPISTE 相对于 SPICLK 的保持时间	$1.5t_{c(SYSCLK)}$	—	ns

(1) 设置 SPICTL.2 主从模式选择字段为 0，SPICTL.3 时钟相位延时字段为 0。

(2) $t_{c(SPC)} = \text{SPICLK 时钟周期} = \text{LSPCLK}/4$ 或 $\text{LSPCLK}/(\text{SPIBRR} + 1)$ 。

(3) 内部预分频时钟参数的设置，受 SPI 时钟频率最大值的约束，主模式的最大发送速率是 25MHz，最大接收速率是 12.5MHz，从模式的最大收发速率是 12.5MHz。

(4) SPICLK 信号的有效沿是由 SPICCR.6 控制。

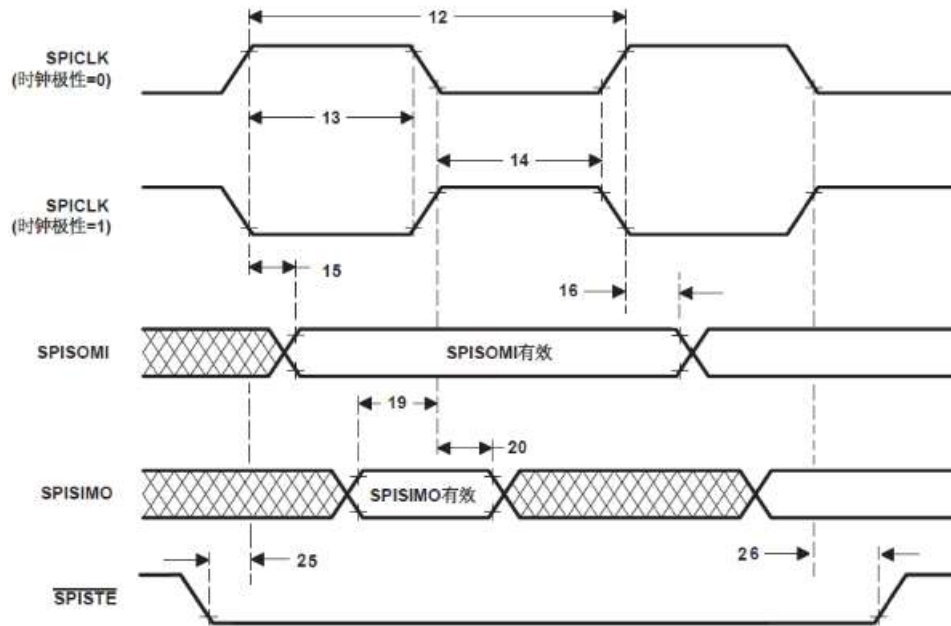


图 6-21 相位延时为 0 的 SPI 从模式时序

 表 6-30 相位延时为 1 的从模式时序参数^{(1) (2) (3) (4) (5)}

序号	参数	描述	MIN	MAX	单位
12	$t_{c(SPC)S}$	SPICLK 周期	$4t_{c(SYSCLK)}$	—	ns
13	$t_w(SPC1)S$	脉冲宽度, SPICLK 第 1 个脉冲	$2t_{c(SYSCLK)} - 1$	—	ns
14	$t_w(SPC2)S$	脉冲宽度, SPICLK 第 2 个脉冲	$2t_{c(SYSCLK)} - 1$	—	ns
17	$t_d(SOMI)S$	SPICLK 到 SPISOMI 有效的延迟时间	—	21	ns
18	$t_v(SOMI)S$	SPICLK 后 SPISOMI 有效的 Hold 时间	0	—	ns
21	$t_{su}(SIMO)S$	SPISIMO 相对于 SPICLK 的 Setup 时间	$1.5t_{c(SYSCLK)}$	—	ns
22	$t_h(SIMO)S$	SPISIMO 相对于 SPICLK 的 Hold 时间	$1.5t_{c(SYSCLK)}$	—	ns
25	$t_{su}(STE)S$	#SPISTE 相对于 SPICLK 的建立时间	$1.5t_{c(SYSCLK)}$	—	ns
26	$t_h(STE)S$	#SPISTE 相对于 SPICLK 的保持时间	$1.5t_{c(SYSCLK)}$	—	ns

(1) 设置 SPICTL.2 主从模式选择字段为 0, SPICTL.3 时钟相位延时字段为 1。

(2) $t_c(SPC) = \text{SPICLK 时钟周期} = \text{LSPCLK}/4$ 或 $\text{LSPCLK}/(\text{SPIBRR} + 1)$ 。

(3) 内部预分频时钟参数的设置, 受 SPI 时钟频率最大值的约束, 主模式的最大发送速率是 25MHz, 最大接收速率是 12.5MHz, 从模式的最大收发速率是 12.5MHz。

(4) SPICLK 信号的有效沿是由 SPICCR.6 控制。

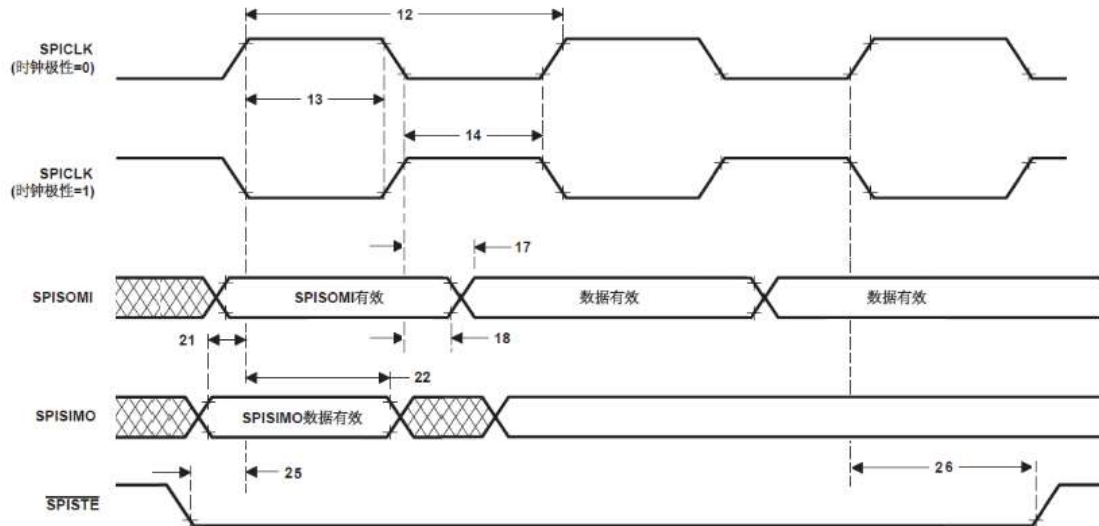


图 6-22 相位延时为 1 的 SPI 从模式时序

6.15 Flash

Flash 最小编程次数 (N_f): 写入/擦除次数 20000 次 ($0^{\circ}\text{C}\sim 85^{\circ}\text{C}$);

OTP 最小编程次数 (N_{OTP}): 1 次写入 ($0^{\circ}\text{C}\sim 85^{\circ}\text{C}$);

数据保存时间: 15 年 (在 55°C 下测试)。

注意: 尚不清楚在上述温度范围外擦除是否会影响写入/擦除次数。

7 主要特性曲线图 (电特性测试图)

见第 6 章节性能指标部分。

8 典型应用方法

8.1 供电过程

对于不同电源管脚的加电/断电顺序无特别要求，但建议给 VDD 管脚加电不晚于给 V_{DDIO} 管脚供电。在为芯片加电之前，不应将比 V_{DDIO} 高 0.7V（二极管压降）的电压应用于任何数字管脚上（对于模拟管脚，这个值是比 V_{DDA} 高 0.7V 的电压值）。此外，V_{DDIO} 和 V_{DDA} 之间的差距应一直在 0.3V 之内。应用于未加电芯片的管脚上的电压会以一种无意的方式偏置内部 PN 结并产生无法预料的结果。

对于 XRS 管脚有下列要求：

1. 加电期间，XRS 管脚必须在输入时钟稳定之后的 $t_{w(RSL1)}$ （见 6.4 小节）内保持低电平。这使得整个芯片从一个已知的条件启动。
2. 断电期间，XRS 管脚必须至少在 V_{DD} 达到 1.5V 之前的 8 μ s 内被下拉至低电平。这样可提高闪存可靠性。

8.2 晶振的连接方法



图8-1 XCLKIN接3.3V晶振时钟

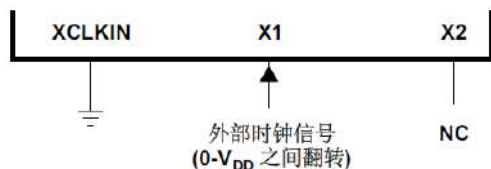


图8-2 X1接1.8V晶振时钟

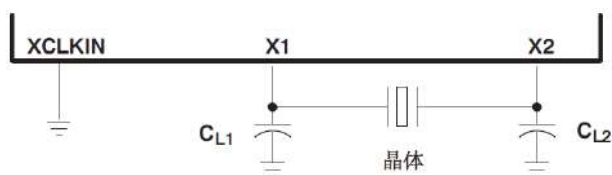


图8-3 X1和X2跨接石英晶体

20MHz 外部石英晶振的典型技术规范如下：

- 基本模式、并联谐振
- C_{L1}=C_{L2}=12pF
- C_{并联}=5pF
- ESR（等效串联电阻）范围= 30 至 150 Ω

8.3 JTAG 连接

下图显示了芯片和 JTAG 接头之间的连接。如果 JTAG 接头和芯片之间的距离大于 6 英寸，那么必须缓冲仿真信号。如果距离小于 6 英寸，通常无需缓冲。下图显示的是无缓冲的情况。

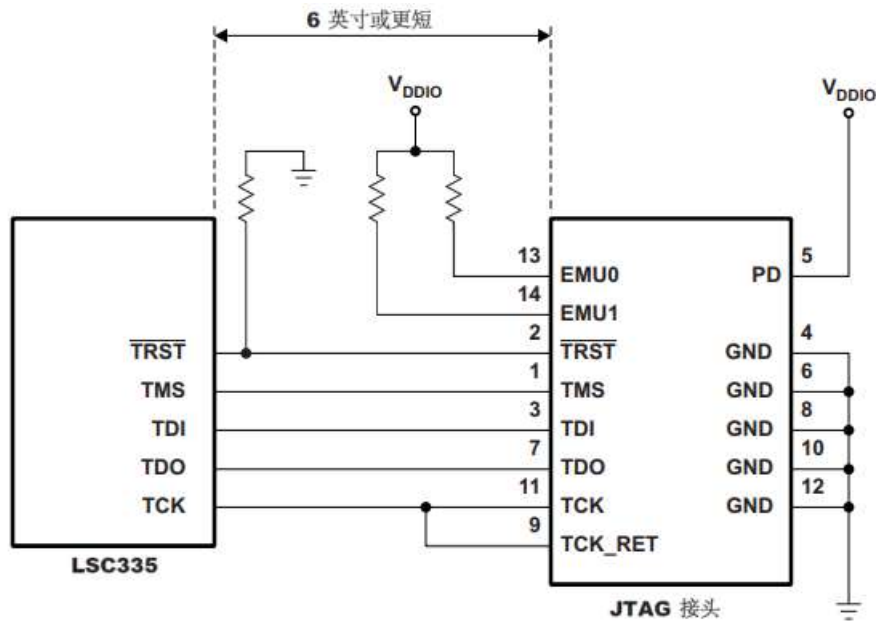


图8-4 未缓冲芯片信号情况下的JTAG仿真器连接

8.4 ADC 连接

要获得指定的 ADC 精度，正确的电路板布局非常关键。为尽可能达到最佳效果，引入 ADCIN 引脚的走线不应太靠近数字信号通道。这是为了最大程度地减少数字线路上因 ADC 输入耦合而产生的开关噪声。而且，适当的隔离技术必须被用来将数字电源从 ADC 模块电源引脚(V_{DDA})上隔离。

a) 如果ADC未被使用

ADC 连接建议保持针对模拟电源引脚的连接，即便在 ADC 未被使用时也是如此。下面总结了如果 ADC 未在应用中使用，应该如何连接 ADC 引脚：

- V_{DDA} 连接至 V_{DDIO}
- V_{SSA} 连接至 V_{SS}
- V_{REFLO} 连接至 V_{SS}
- $ADCINAn$ 、 $ADCINBn$ 和 V_{REFHI} 连接至 V_{SSA}

当 ADC 未被使用时，为了达到节能的目的，请确保到 ADC 模块的时钟未被打开，未使用的 ADC 输入引脚应被连接至模拟接地(V_{SSA})。

b) ADC使用内部基准偏置源

通过配置 $ADCCTL1.ADCREFSEL$ 位可以选择两种参考模式。默认是选择内部 bandgap 产生 ADC 的参考电压。这种情况下就可以固定转换 0 到 3.3V 范围内的信号。等效的转换公式如下：

当输入 $\leq 0V$ 时，输出 = 0；

当 $0V < \text{输入} < 3.3V$ 时，输出 = $4096 * [(\text{输入电压} - V_{REFLO}) / 3.3V]$ ；

当输入 $\geq 3.3V$ 时，输出 = 4095。

此模式下 V_{REFLO} 必须连接到地。

c) ADC使用外部基准偏置源

当选择外部电压作为 ADC 参考电压时，ADC 的转换范围就不再固定为 0 到 3.3V 了，而是参考 V_{REFLO} 和 V_{REFHI} 电压范围。例如，如果 V_{REFLO} 连接了 0.5V， V_{REFHI} 连接了 3.0V，则 1.75V 的输入电压对应的结果为 2048。等效的转换公式如下：

当输入 \leq REFLO时, 输出 = 0;

当 $V_{REFLO} < \text{输入} < V_{REFHI}$ 时, 输出 $=4096 * [(\text{输入} - V_{REFLO}) / (V_{REFHI} - V_{REFLO})]$

当输入 $\geq V_{REFHI}$ 时, 输出 = 4095。

注意: 此模式下 V_{REFLO} 不能超过 V_{REFHI} , V_{REFHI} 不能超过 V_{DDA} 。

9 使用注意事项

9.1 安装注意事项

建议芯片数字电源和模拟电源分开供电。为防止串扰, 电路最好单独使用一路地线。器件必须采取防静电措施进行操作。取用电路时应佩戴防静电手套, 防止 ESD 对电路造成损伤。电路插入电路板上的底座时, 应注意电路的方向, 防止插反; 插拔电路时, 应注意施力方向以确保芯片管脚均匀受力。

推荐下列操作措施:

- a) 器件应在防静电的工作台上操作, 或佩戴防静电手套;
- b) 试验设备和器具应做好接地处理;
- c) 不能随意触摸器件表面及引线;
- d) 器件应存放在导电材料制成的容器中(如: 集成电路专用盒);
- e) 生产、测试、使用以及转运过程中应避免使用引起静电的塑料、橡胶或丝织物;
- f) 使用时, 正确区分电路的电源和地, 防止发生短路。
- g) V_{DD} 引脚加电应早于或同步对 V_{DDIO} 引脚供电, 并确保 V_{DD} 引脚在 V_{DDIO} 引脚达到 0.7V 之前达到 0.7V。
- h) 对 \overline{XRS} 引脚的要求如下:
 - 加电期间, \overline{XRS} 引脚必须在输入时钟稳定之后的 $t_w(RSL1)$ 时间内保持低电平。这使得整个器件从一个已知的确定条件启动运行。
 - 断电期间, \overline{XRS} 引脚必须至少在 V_{DD} 下降到 1.5V 之前的 $8 \mu s$ 内被下拉至低电平。这样做提高了闪存 FLASH 可靠性。
- i) 在为器件加电之前, 禁止将高于 V_{DDIO} 电源二极管压降(0.7V)的电压应用于任何数字引脚上(对于模拟引脚, 这个值是比 V_{DDA} 高 0.7V 的电压值)。此外, V_{DDIO} 和 V_{DDA} 之间电压差值应确保一直小于 0.3V。
- j) 推荐在 $22 \pm 6^\circ C$ 温度、 $45 \pm 5\% RH$ 湿度的条件下存放, 注意静电防护, 避免手碰或接触含氯离子等包装材料, 注意包装材料的静电防护寿命。
- k) 电路在传递过程中, 避免受到挤压、撞击, 发生跌落等, 防止陶瓷受损或碎裂、密封盖板凹陷、电路引脚变形等情况。
- l) 电路使用过程中, 应在防静电托架或金属托盘中放置, 避免在无静电防护的情况下触摸电路, 严禁任何静电及静电场施加在器件引脚上。
- m) 对电路引脚进行褪金时, 须将电路加热至 $100 \sim 120^\circ C$ 并稳定 15 分钟后, 方可将电路浸入熔融的焊锡中。
- n) 严格按照推荐工作条件或降低工作条件使用, 电路在极限状态或者任何推荐条件之外的情况下工作, 都将对电路造成损伤, 影响器件的可靠性。

- o) 电路工作时，输入引脚严禁悬空，应根据要求接 V_{DDIO} 或 V_{SS} ；输入端电压必须限定在 V_{DDIO} 和 V_{SS} 之间，并尽可能串接一个小于 100Ω 的保护电阻，防止输入端口损坏。
- p) 对于有特殊振动应力要求的设计，应考虑在对电路的壳体进行必要的加固，以满足特定的振动应力要求。

9.2 产品工作条件

9.2.1 电压

数字 IO 电压 (V_{DDIO}): $2.97V \sim 3.63V$;
模拟电压 (V_{DDA}): $2.97V \sim 3.63V$;
数字内核电压 (V_{DD}): $1.71V \sim 1.995V$;
地电压 (V_{SS} , V_{SSA}): $0V$;
输入高电平电压 (V_{IH}): $2V \sim V_{DDIO} + 0.3V$;
输入低电平电压 (V_{IL}): $V_{SS} - 0.3V \sim 0.8V$;

9.2.2 电流

输出高电平电流 (I_{OH}): $0mA \sim -4mA$ ($V_{OH} = 2.4V$, 除 GROUP2) 外所有的 I/O);
 $0mA \sim -8mA$ ($V_{OH} = 2.4V$, GROUP2));
输出低电平电流 (I_{OL}): $0mA \sim 4mA$ ($V_{OL} = V_{OLMAX}$, 除 GROUP2) 外所有的 I/O);
 $0mA \sim 8mA$ ($V_{OL} = V_{OLMAX}$, GROUP2)).

GROUP2 包括 GPIO16、GPIO17、GPIO18、GPIO19、GPIO28、GPIO29、GPIO36 和 GPIO37。

9.2.3 时序

系统时钟频率 ($f_{SYSCLKOUT}$): $2MHz \sim 60MHz$;
微边沿定位 MEP 步长 (t_{HRPWM}): $0ps \sim 310ps$ 。

9.2.4 Flash

Flash 最小编程次数 (N_f): 写入/擦除次数 20000 次 ($0^\circ C \sim 85^\circ C$);
OTP 最小编程次数 (N_{OTP}): 1 次写入 ($0^\circ C \sim 85^\circ C$);
数据保存时间: 15 年 (在 $55^\circ C$ 下测试)。
注意: 尚不清楚在上述温度范围外擦除是否会影响写入/擦除次数。

9.2.5 温度

工作环境温度 (T_A): $-40^\circ C \sim +125^\circ C$ 。

9.2.6 注意事项

超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其他超出本技术规范操作章节中所示规格的条件下，其间能够正常工作。长期在绝对最大额定值条件下工作会影响期间的可靠性。

10 订货信息

10.1 型号对照表

序号	国产型号	封装类型	质量等级	可替代进口型号
1	TMS320F28035PNT	LQFP80 塑封	工业增强级	TMS320F28035PNQ TMS320F28035PNQR TMS320F28035PNS TMS320F28035PNT TMS320F28035PNTR
2	TMS320F28035PAG	LQFP64 塑封	工业增强级	TMS320F28035PAGQ TMS320F28035PAGS TMS320F28035PAGT TMS320F28035PAGTR
3	TMS320F28035RSH	VQFN56 塑封	工业增强级	TMS320F28035RSHS TMS320F28035RSHT